

形 LF-A1 ユニバーサル LAN モジュール

LOGIC AND FIRM

L&F

Asix社AX88796BLF + トランス内蔵RJ-45コネクタを搭載

当製品は、10/100 BASE-TXインターフェースLANコントローラAX88796BLF + パルストランスを搭載した小型ユニバーサル基板で、CPU基板等にコネクタを用意するだけでIEEE802.3準拠したLANインターフェースを増設できます。

また、MACアドレスは基板に実装されているEEPROMに書き込み済みですので、お客様にてMACアドレスを取得する必要がありません。(MACアドレスはRJ-45コネクタにシールで貼付)



形式基準

形 LF-A1 -

シリーズ名

実装形態		CPUインターフェース設定	
記号	実装仕様	記号	CPUインターフェース仕様
C	全部品実装品 (P1,P2は半田面実装)	1	ISAモード
R	全部品実装品 (P1,P2は部品面実装)	2	80186モード
K	P1,P2のみ実装 (部品同梱)	3	805x (MCS-51)モード

主要実装部品

Asix社製LANコントローラ
AX88796BLF
Taimag社製パルストランス内蔵RJ-45コネクタ
RJLDC-308TA
Atmel社製三線式シリアルEEPROM
AT93C46D (MACアドレス書き込み済み)

性能

LANインターフェース部
10/100 BASE-TX対応
CPUインターフェース部
転送方式: パラレルBUS方式
CPUインターフェース: ISA/80186/805xから選択可能
環境対策
RoHS対応
動作温度
0 ~ +70 (結露なきこと)
試験成績
IEEE802.3評価試験に合格

仕様

ボ ー ド 仕 様	
項 目	許 容 範 囲
電源電圧 (P1-17)	3.3V ± 5%
電源電圧 (P1-21,22)	5.0V ± 5%
消費電流 (P1-17)	最大200mA
動作温度	0 ~ +70 注1)
保存温度	-20 ~ +80
重量	約15g

注1) AX88796BLFカタログスペック値です。

LAN チップ 絶 対 最 大 定 格					
項 目	シンボル	許容範囲			単 位
電源電圧 (P1(17)よりの供給電圧)	VCC	-0.3 ~ +4.0			V
VCCIO (I/O端子入力電圧)	VCCIO	-0.3 ~ +5.8			V
保存温度	-	-40 ~ +150			
DC入力電流	I _{IN}	20			mA
出力ショート電流	I _{OUT}	20			mA
D C 特 性					
項 目	シンボル	Min	Typ	Max	単 位
Low入力判定電圧	V _{IL}	-	-	0.8	V
Hi入力判定電圧	V _{IH}	2.0	-	-	V
Low出力電圧	V _{OL}	-	-	0.4	V
Hi出力電圧	V _{OH}	2.4	-	-	V
シュミットリガ立下りスレッショルド電圧	V _{T-}	0.8	1.1	-	V
シュミットリガ立上りスレッショルド電圧	V _{T+}	-	1.6	2.0	V
入力プルアップ抵抗値	R _{pu}	40	75	190	K
入力プルダウン抵抗値	R _{pd}	40	75	190	K
入力漏れ電流	I _{in}	-10	±1	-85	uA
入力漏れ電流(プルアップ抵抗ON Vin=0)	I _{in} (Pu)	-15	-45	-85	uA
入力漏れ電流(プルダウン抵抗ON Vin=VCC3I)	I _{in} (Pd)	15	45	85	uA
スリープ出力漏れ電流	I _{oz}	-10	±1	10	uA

外形寸法

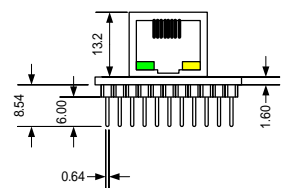
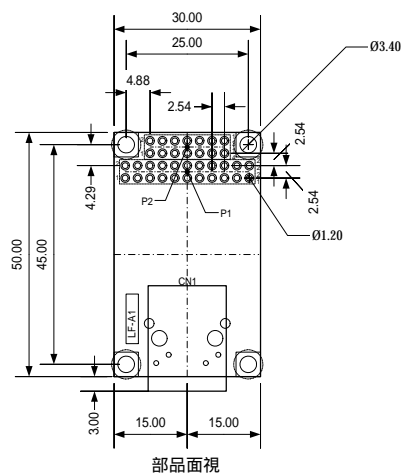
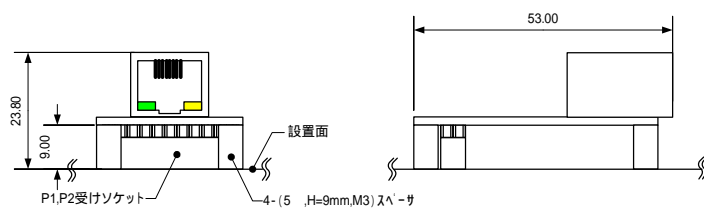
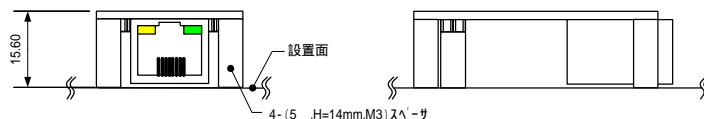


図1 外形寸法図



スペーサの高さは、P1,P2受けソケットにより異なります。
P1,P2受けソケットは、製品には添付されてありません。

図2 LF-A1C-n設置寸法図



スペーサの高さは、P1,P2受けソケットにより異なります。
P1,P2受けソケットは、製品には添付されてありません。

図3 LF-A1R-n設置寸法図

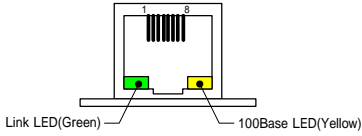
形 LF-A1 ユニバーサル LAN モジュール

LOGIC AND FIRM
L&F

コネクタ仕様 (各表の「入出力方向」は、LF-A1から見たもので、信号名の先頭にnが付くものはその信号がLowアクティブであることを示します。)

CN1: LAN接続コネクタ

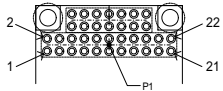
相手機器とはHUB経由の場合はストレート結線、直結の場合はクロス結線の何れもUTPカテゴリ5ケーブルで接続して下さい。

使用コネクタ: RJ45C-308TA (Taimag)				
端子番号	信号名	入出力	内 容	外形
1	TX+	出力	送信 +	
2	TX-	出力	送信 -	
3	RX+	入力	受信 +	
4	NC	-	未接続	
5	NC	-	未接続	
6	RX-	入力	受信 -	
7	NC	-	未接続	
8	NC	-	未接続	

P1: CPU接続ピンヘッダ(1)

CPUからのAX88796BLF制御信号、データバス、アドレスバス、電源が接続されています。

適合ソケット: CB91222V100 (CviLux) または、同等品

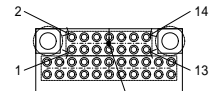
使用ピンヘッダ: CH81362V200 (CviLux) を22PIN分カットしたもの (2.54mmピッチ2列 × 11のピンヘッダ)					
端子番号	信号名	入出力	内 容	備 考	配置
1	nI/OCS16	出力	16bit I/O返信信号	ISAバスモードで使用	
2	nWR	入力	ライト信号		
3	nRD	入力	リード信号		
4	nCS	入力	チップセレクト信号		
5	AEN	入力	アドレスイネーブル信号	ISAバスモードで使用	
6	A0	入力	Address BUS0		
7	A3	入力	Address BUS3		
8	A4	入力	Address BUS4		
9	D1	入出力	Data BUS0		
10	D2	入出力	Data BUS2		
11	D5	入出力	Data BUS5		
12	D6	入出力	Data BUS6		
13	D9	入出力	Data BUS9		
14	D10	入出力	Data BUS10		
15	D13	入出力	Data BUS13		
16	D14	入出力	Data BUS14		
17	VCC	入力	+3.3V電源入力	内部レギュレータ(U3)を使用する場合P1(18)と短絡	
18	330UT	出力	内部レギュレータ(U3)出力電源	+3.3VDC	
19	GND	-	システムグランド		
20	GND	-	システムグランド		
21	+5V	入力	内部レギュレータ(U3)用電源		
22	+5V	入力	内部レギュレータ(U3)用電源		

* 各信号のタイミング、各信号の仕様等、詳細は「AX88796B_Datasheet」をご参照下さい。

P2: CPU接続ピンヘッダ(2)

CPUからのAX88796BLF制御信号、データバス、アドレスバス、電源が接続されています。

適合ソケット: CB91142V100 (CviLux) または、同等品

使用ピンヘッダ: CH81362V200 (CviLux) を14PIN分カットしたもの (2.54mmピッチ2列 × 7のピンヘッダ)					
端子番号	信号名	入出力	内 容	備 考	配置
1	A1	入力	Address BUS1		
2	A2	入力	Address BUS2		
3	A5	入力	Address BUS5		
4	D0	入出力	Data BUS0		
5	D3	入出力	Data BUS3		
6	D4	入出力	Data BUS4		
7	D7	入出力	Data BUS7		
8	D8	入出力	Data BUS8		
9	D11	入出力	Data BUS11		
10	D12	入出力	Data BUS12		
11	D15	入出力	Data BUS15		
12	nIRQ	入出力	割り込み要求信号		
13	PME	出力	ウェイクアップステータス信号		
14	nRES	入力	リセット信号		

ジャンパ設定

LF-A1基板部品面に2箇所、半田面に4箇所の短絡型ジャンパが設けられています。(配置を下図に示します。)

図4 部品面ジャンパ配置図

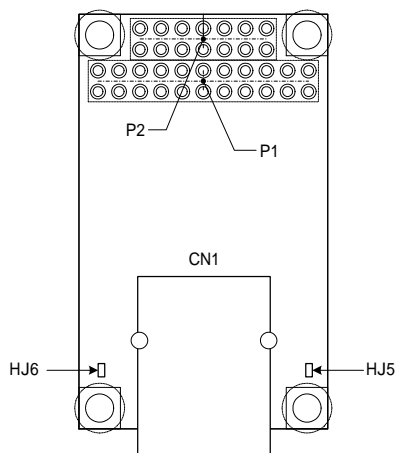
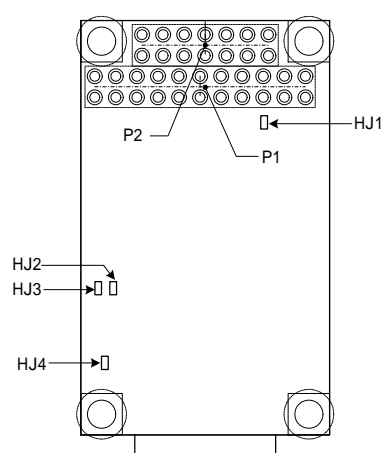


図5 半田面ジャンパ配置図



AX88796BLF AEN/PSEN設定ジャンパ(HJ1)

本ジャンパを短絡する場合、HJ2,HJ3を805x(MCS-51)モードとする必要があります。

AX88796BLFインターフェースモード設定ジャンパ(HJ2,HJ3)

AX88796BLFのインターフェースモードを設定します。(設定内容は下表をご参照下さい。)

HJ2、HJ3の設定			
CPUインターフェース仕様	HJ2	HJ3	備 考
ISAモード	開放	開放	LFA1x-1指定時の設定
80186モード	短絡	開放	LFA1x-2指定時の設定
805x(MCS-51)モード	短絡	短絡	LFA1x-3指定時の設定

EEPROMアクセスサイズ設定ジャンパ(HJ4)

本ジャンパは、EEPROMを変更する際に設定するジャンパです。
現バージョンでは絶対に短絡しないで下さい。

GND<->筐体接続ジャンパ(HJ5,HJ6)

本ジャンパは、GNDをRJ-45コネクタ横、基板固定穴に接続する際に短絡するジャンパです。

*** ご注意事項**

- 1) 本製品及び本書の内容については、改良のために予告なく変更することがあります。
- 2) 本製品を使用した結果の他への影響については、責任は負いかねますので、ご了承下さい。
- 3) 本製品を安全にご使用いただくために、特に以下の点にご注意下さい。



本製品には一般電子機器用(OA機器・通信機器・計測機器・工作機器等)に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置(医療機器・交通機器・燃焼制御・安全装置等)に組み込んで使用しないで下さい。

また、半導体製品を使用した製品は、外来ノイズやサージにより誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い申し上げます。

本書に記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。
本取扱い説明書の閲覧には、Adobe社のAcrobatReaderが必要です。

logic and firm

L&F

株式会社エル・アンド・エフ

〒175-0083 東京都板橋区徳丸4-2-9
Tel:03-5398-1116 Fax:03-5398-1181
Mail:l-and-f@l-and-f.co.jp
URL:<http://www.l-and-f.co.jp>