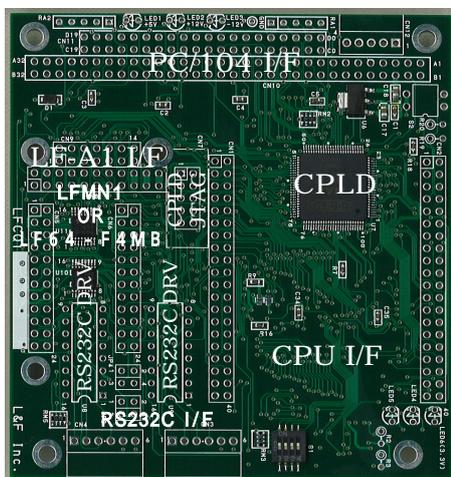




**FRK-SH2A・FRK-FM3 「.NET Micro Framework」対応、
Interface 誌付属 CPU 増設メモリ / IO 拡張ボード**

LFCQ1 ハードウェアマニュアル

部品面



半田面



株式会社 エル・アンド・エフ



改訂履歴

日付	訂正者	ページ	内容
2010/10/27	市川		初版作成
2010/01/19	市川		Rev1.1 に更新
2011/3/1	市川	11	表 7 項 1,2 HJ1 ~ HJ28 設定に関する誤記を修正
		12	表 9 項 1,2 HJ1 ~ HJ28 設定に関する誤記を修正
		12	表 8 の注記 * 1 の項を削除
		13	表 10 の 16bit I/O 領域を削除、表 11 HJ1 ~ HJ28 設定に関する誤記を修正、S1(bit1)を追記
		14	表 12 の 16bit メモリ領域を削除、表 13 HJ1 ~ HJ28 設定に関する誤記を修正
		33	表 31 の HJ1 ~ HJ28 設定に関する誤記を修正 表 32 に bit1 の説明を追記
2011/3/15	市川	9	表 4 の nWAIT 端子の設定方法説明を変更
2011/3/30	市川	11	表 6 の PC/104 16bit メモリアドレス領域を修正
		12	表 8 の PC/104 16bit メモリアドレス領域を修正
		29	表 27 に IRQ11 の説明を追記
2012/7/24	市川	全般	FRK-FM3 実装時の記述を追加

2011/3/1 より CPLD の内容も変更致しました。



【 目 次 】

1.	はじめに	1
1-1)	梱包内容	1
1-2)	製品保障	1
1-3)	注意事項	2
1-4)	凡例	3
1-5)	参考文献	3
1-6)	参考 URL	3
2.	製品概要	4
3.	特徴	5
4.	電気的特性	6
4-1)	絶対最大定格	6
4-2)	推奨動作条件	6
4-3)	一般仕様	6
5.	ブロック図	7
6.	制御仕様	8
6-1)	CPU 端子設定	9
6-1-1)	FRK-SH2A CPU ボード上の CPU 端子設定	9
6-1-2)	FRK-FM3 ボード上の CPU 端子設定	11
6-2)	LFCQ1 のメモリマップ	13
6-2-1)	FRK-SH2A CPU のメモリマップ	13
(1)	メモリマップ 1 (CS0 領域をブートデバイスとしない場合)	13
(2)	メモリマップ 2 (CN5/6 にブート ROM 実装時)	14
6-2-2)	FRK-FM3 のメモリマップ	15
6-2-3)	PC/104 からのメモリマップ設定	16
(1)	PC/104 メモリマップ 1 (CN5/6 にメモリボード実装時、メモリアクセス時)	16
(2)	PC/104 メモリマップ 2 (CN5/6 に LFMN1 実装、I/O アクセス時)	17
6-3)	割込み	18
6-3-1)	CPU ボードへの割込み	18
6-3-2)	PC/104 BUS への割込み	18
6-4)	CPLD ピンアサイン	19
7.	コネクタ仕様	21
7-1)	CPU ボードインターフェースコネクタ (CN1, CN2)	21
7-2)	RS232C インターフェースコネクタ (CN3, CN4)	24
7-3)	LFMN1、メモリ拡張基板接続コネクタ (CN5, CN6)	25
7-4)	CPLD JTAG 接続コネクタ (CN7)	28
7-5)	LF-A1 接続コネクタ (CN8, CN9)	29
7-6)	PC/104 BUS 基板接続コネクタ (CN10, CN11)	30
7-6-1)	CN10	30
7-6-2)	CN11	33
7-7)	電源接続コネクタ (CN12)	35
8.	設定仕様	36
8-1)	ディップスイッチ (S1)	36
8-2)	CPU ボード信号選択半田ジャンパ (HJ1 ~ HJ9)	36
8-3)	プルアップ / プルダウン信号選択半田ジャンパ (HJ23 ~ HJ28)	37
8-4)	SRAM アクセス領域バス幅設定半田ジャンパ (HJ10)	38
8-5)	CN5, 6, CN8, 9 領域設定半田ジャンパ (HJ12 ~ HJ21)	39
8-6)	設定部の配置	40



9.	配置 / 寸法	41
10.	オーダー情報	42

【 表 】

表 1	絶対最大定格	6
表 2	推奨動作条件	6
表 3	一般仕様	6
表 4	FRK-SH2A CPU ボード CN1 CPU 端子設定仕様	9
表 5	FRK-SH2A CPU ボード CN2 CPU 端子設定仕様	10
表 6	FRK-FM3 ボード CN1 CPU 端子設定仕様	11
表 7	FRK-FM3 ボード CN2 CPU 端子設定仕様	12
表 8	FRK-SH2A から見たメモリマップ 1	13
表 9	FRK-SH2A メモリマップ 1 時の SW / ジャンパ設定仕様	13
表 10	FRK-SH2A から見たメモリマップ 2	14
表 11	FRK-SH2A メモリマップ 2 時の SW / ジャンパ設定仕様	14
表 12	FRK-FM3 から見たメモリマップ 2	15
表 13	FRK-FM3 実装時の SW / ジャンパ設定仕様	15
表 14	PC/104 から見たメモリマップ	16
表 15	PC/104 メモリマップ 1 時の SW / ジャンパ設定仕様	16
表 16	PC/104 から見たメモリマップ	17
表 17	PC/104 メモリマップ 2 時の SW / ジャンパ設定仕様	17
表 18	CPU ボード割込み要因	18
表 19	CPU ボード割込み要因	18
表 20	CPLD 端子仕様	19
表 21	LFCQ1 CN1 に接続される過去Interface誌付録 CPU ボードのピン仕様	22
表 22	LFCQ1 CN2 に接続される過去Interface誌付録 CPU ボードのピン仕様	23
表 23	RS232C インターフェースコネクタ (CN3) コネクタ仕様	24
表 24	RS232C インターフェースコネクタ (CN4) コネクタ仕様	24
表 25	モーションネットセンターボード (LFMN1) 実装時の CN5 / CN6 ピンアサイン	25
表 26	LF64-F4MB (S29AL032DxxTFIxxx) 実装時の CN5 / CN6 ピンアサイン	26
表 27	LF64-S4MB (CY62167EV30LL) 実装時の CN5 / CN6 ピンアサイン	27
表 28	JTAG コネクタ (CN7)	28
表 29	LF-A1 接続コネクタピンアサイン (CN8, CN9)	29
表 30	PC / 104 BUS 接続コネクタ 1 (CN10)	30
表 31	PC / 104 BUS 接続コネクタ 1 信号別機能	31
表 32	PC / 104 BUS 接続コネクタ 2 (CN11)	33



表 33	PC / 104 BUS接続コネクタ2信号別機能	34
表 34	電源接続コネクタ(CN12)	35
表 35	FRK-SH2A メモリマップ1時のSW / ジャンパ設定仕様	36
表 36	S1 の設定仕様	36
表 37	HJ1 ~ 9 の設定仕様	36
表 38	HJ23 ~ 28 の設定仕様	37
表 39	過去Interface誌付録 CPU ボードの HJ1 ~ 9、HJ23 ~ 28 推奨(参考)設定	37
表 40	SRAM 領域バス幅設定(HJ10)	38
表 41	HJ12 ~ HJ21 の設定仕様	39
表 42	LFCQ1 オーダー仕様	42

【 図 】

図 1	LFCQ1 ブロック図	7
図 2	基板外形寸法図	41

【 写真 】

写真 1	部品面設定部	40
写真 2	半田面設定部	40
写真 3	半田面設定部	エラー! ブックマークが定義されていません。



1. はじめに

このたびは LFCQ1 をお買い上げいただき誠にありがとうございます。

本製品を正しくご使用いただくために、本マニュアル、及び、LFCQ1 に実装されているデバイスのマニュアルを充分お読みいただけますようお願い致します。

1-1) 梱包内容

基本梱包は下記の通りとなりますので、内容をご確認いただき、万が一不足してありました場合は、お買い求め販売店、または、弊社サポートまでご連絡下さい。

LFCQ1 ボード×1 枚

マニュアル / 回路図 / 主要部品データシート収録 CDR ×1 枚

1-2) 製品保障

無償修理

製品ご購入後 1 年間は、下記「有償修理」の場合を除き無償で修理致します。(弊社に製品をご返送いただいた際の修理・交換対応となります。(無償修理を除き、弊社にご送付いただく送料はお客様負担とさせていただきます))

また、保証は製品が日本国内で使用される場合に限り有効とさせていただきます。

有償修理

- 1) 製品が購入後 1 年以上経過しているもの。
- 2) 仕様範囲外でのご使用、物理的 / 電氣的ストレスを加えた等、お客様のお取扱いに起因する故障。
- 3) お客様にて製品を改造(CPLD の内容変更も含む)したための故障。
- 4) 火災、地震、水害等の天災による故障。

動作を保証できない項目

- 1) 他社製品との接続互換性、相性による不具合。
- 2) 本製品を仕様範囲外の環境でご使用された場合の不具合。
- 3) お客様にて製品を改造(CPLD の内容変更も含む)したための不具合。

免責事項

当製品の故障、不具合、誤動作によって生じた損害等の純粋経済損失につきまして、弊社は一切その責任を負いません。

1-3) 注意事項

本製品及び本書の内容については、改良のために予告なく変更することがあります。

本製品に添付されるデバイスマニュアル等は、最新でない場合があります。

本製品を使用した結果の他への影響については、責任は負いかねますのでご了承下さい。

本書に記載されている内容、及び、回路図、HDL コードの著作権は(株)エル・アンド・エフが保有しており、それらを無断で転用、転載、掲載、譲渡、配布することは禁止します。

本文書に記載した内容は、慎重に製作致しましたが、万一、本マニュアルの記述誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。

本製品を安全にご使用いただくために、特に以下の点にご注意下さい。



本製品には一般電子機器用(OA機器・通信機器・計測機器・工作機器等)に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置(医療機器・交通機器・燃焼制御・安全装置等)に組み込んで使用しないで下さい。

また、半導体製品を使用した製品は、外来ノイズやサージにより誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い致します。

温度環境は、本マニュアル3. 仕様の項に記載された範囲以内でご使用下さい。腐食性ガス、可燃ガスの雰囲気中、または、高湿度環境、水に濡れる恐れのある場所でのご使用はお止め下さい。

基板を金属板等導電性物質の上に直接置いた状態での通電はお止め下さい。

電源、および、信号入出力部に定格以上の電圧、または、ノイズを印加しないで下さい。

本製品は、本マニュアルに記載されている「製品保証」、「免責事項」をご確認いただき、その内容をご諒承の上ご使用下さい。



1-4) 凡例

不定数値の表記は、x で表します。

数字の表記

2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx で表します。

記号の表記

ローアクティブの信号には先頭に n を付けています。

入出力方向は LFCQ1 側から見た方向を示します。

入出力記号は I = 入力、O = 出力、I/O = 入出力、P = 電源を示します。

デバイスロケーション番号後の (xx) は、端子番号を示します。

1-5) 参考文献

本マニュアルの内容を補完する参考文献を以下に示します。

MAX3000A Data Sheet (アルテラ社)

CY62167EV30 Data Sheet (サイプレス社)

インターフェース誌 2010 年 6 月以降の SH-2A 基板関連記事 (CQ 出版(株)社)

インターフェース誌 2012 年 6 月以降の FM3 基板関連記事 (CQ 出版(株)社)

LF-A1 取扱い説明書 (株エル・アンド・エフ社)

LFMN1 取扱い説明書 (株エル・アンド・エフ社)

1-6) 参考 URL

(株)ルネサステクノロジ <http://japan.renesas.com/homepage.jsp>

富士通(株) <http://jp.fujitsu.com/microelectronics/>

日本アルテラ(株) <http://www.altera.co.jp/>

サイプレス <http://jp.cypress.com/>

TI <http://focus.tij.co.jp/jp/tihome/docs/homepage.tsp>

NS http://www.national.com/analog?lang_chosen=ja_JP



2. 製品概要

LFCQ1 は、CQ 出版 Interface 誌 2010 年 10 月号で紹介された、弊社 LAN モジュールを使用した、

「SH2A 付属基板と LF-A1 を使用した、LAN コントローラの接続事例」、
2011 年 3 月号で紹介されている

「.NET Micro Framework で広がる組み込み機器の可能性」

等に対応した、SH2A・FM3 等の同誌付録 CPU 用増設メモリ / IO 拡張ボードです。

.NET Framework と言えば Windows 用の環境ですが、.NET Micro Framework は組み込み用の MMU を持たない CPU でも使用可能な環境です。

本ボードは、Interface 誌が特集した同誌付録基板を用いた .NET Micro Framework / uCLinux 等を動作させるのに不足するメモリや I/O を補う事が可能となっており、本ボードを使用することにより、CQ 出版社発行 Interface 誌に付録として提供されてきた各種 CPU ボードから、4MB の大容量 SRAM へのアクセス、各種 PC/104 BUS スレーブボード、10/100Base-TX、Motionnet ネットワーク等多種多様なインターフェースとの接続が可能となります。

増設メモリ拡張ボードの仕様につきましては、Interface 誌編集部様と十分な打合せの上決定しておりますので、同誌付録 CPU ボードをご使用頂く全てのユーザー様に安心してお勧めできる製品となっております。

また、本ボードの回路図、CPLD のプロジェクトは全て公開致しておりますので、学習、研修用途等に最適です。(CPLD はデフォルトで Interface 誌 2010 年 6 月号付属 CPU(SH-2A マイコン基板)で動作するようプログラムされています。)



3. 特徴

ご購入時に SMD 部品は全て実装されており、コネクタの増設だけで各基板を簡単に接続できます。

L&F 社製、AX88796 搭載ユニバーサル LAN モジュール「LF-A1C」(別売)を実装することにより、10/100Base-TX Ethernet へのアクセスが可能です。

L&F 社製、Motionnet(1)センターボード「LFMN1」(別売)を実装することにより、Motionnet ネットワーク上の I/O デバイス(G9002)、軸制御(パルスコントロール)デバイス(G9003)、CPU エミュレーションデバイス(G9004A)を搭載した基板/装置を最大 64 枚(台)制御することが可能です。(2)

L&F 社製、フラッシュメモリボード「LF64-F4MB」(別売)、または、SRAM ボード「LF64-S4MB」(別売)を実装することにより、4Mbyte の Flash Memory、または、SRAM を増設可能で、Flash Memory にプログラムを書込んでおけば、そこからプログラムをブートすることも可能です。(2)(4)

LFCQ1 上には、4Mbyte(標準実装)、または、8Mbyte(Option)の SRAM が実装可能で、ジャンパ設定により、8bit、または、16bit でのアクセスが可能です。

PC/104 BUS コネクタ(Option)を実装可能で、Interface 誌付属 CPU 評価ボードから、多種にわたる PC/104 ボードへのアクセスが可能である他、CPU ボードが搭載されていない場合は、PC/104 BUS マスタボードから LFCQ1 上に実装されているデバイスへのアクセスが可能となります。

各種 Interface 誌付属 CPU ボード仕様の違いに柔軟に対応させるため、128 マクロセル容量の CPLD を標準実装しています。

外部インターフェースとして、RS232C ポートを 2 チャンネル接続可能です。(3)

L&F 社製、シリアル USB メモリリーダーライタ「LF62」(別売)を RS232C ポートと接続することにより、大容量ストレージデバイスに簡単にアクセスが可能です。

- (1) Motionnet は、日本パルスモータ(株)殿が提唱する超高速シリアル通信システムです。
- (2) 「LFMN1」と「LF64-F4MB」/「LF64-S4MB」を同時に実装することはできません。
- (3) CPU ボードによっては、シリアルポートが 1ch のみ、または、無い場合があります。
- (4) CPU ボードによっては使用できない場合があります。



4. 電気的特性

4-1) 絶対最大定格

表 1 に LFCQ1 の絶対最大定格を示します。

絶対最大定格を一瞬でも越えた場合、基板上デバイスが永久破壊される場合がありますので
ご注意ください。

表 1 絶対最大定格

項目	シンボル	定格値	単位
電源電圧(+5V)	+5V	-0.3 ~ +5.75	V
PC/104 信号入力電圧範囲	V_{IN}	-0.3 ~ +5.75	V
RS232C 入力電圧範囲	V_{IN}	-25 ~ +25	V
保存温度	Tstg	-25 ~ +60	

4-2) 推奨動作条件

表 2 推奨動作条件

項目	シンボル	定格値	単位
電源電圧	+5V	+4.75 ~ +5.25	V
PC/104 信号入力電圧範囲	V_{IN}	0 ~ +5.25	V
RS232C 入力電圧範囲	V_{IN}	-15 ~ +15	V
動作温度	Topr	0 ~ +50	

4-3) 一般仕様

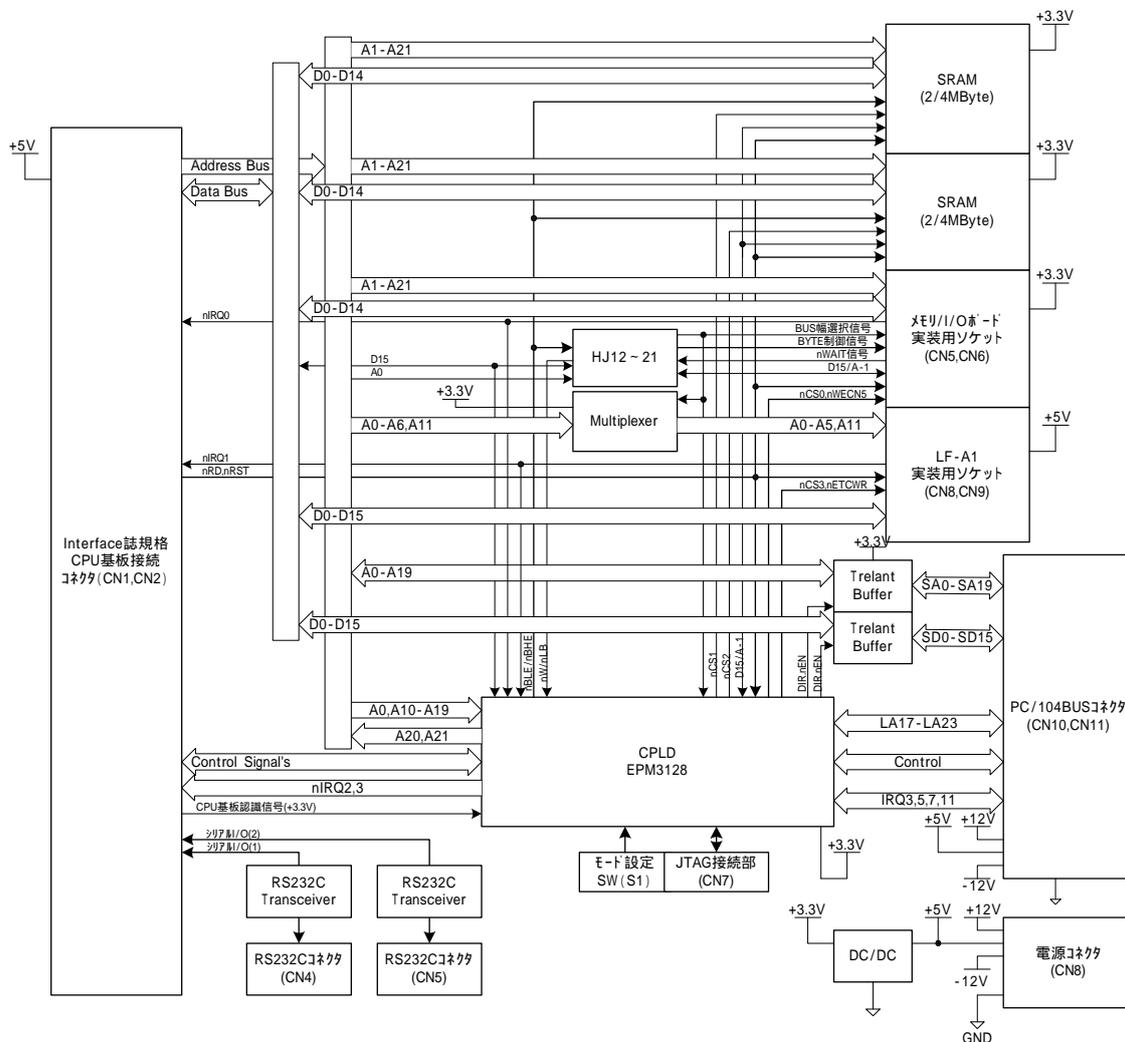
表 3 一般仕様

項目	内容
外形寸法	90.1mm × 95.8mm
質量	約 88g



5. ブロック図

図 1 LFCQ1 ブロック図





6. 制御仕様

LFCQ1 上の各デバイス、及び、PC/104 側制御信号は CPLD により生成されています。

出荷時の CPLD の概略仕様は、

- 1) CPU ボードは、FRK-SH2A / FM3 に対応。
- 2) CPU ボード実装自動検出機能 (CPU ボードが実装されていれば、CPU ボードが LFCQ1 上デバイス、及び、PC/104 を制御、実装されていなければ、LFCQ1 上デバイスは PC/104 上のマスタ基板から LFCQ1 上の各デバイスが制御されます。

本項では、FRK-SH2A で LFCQ1 上のデバイス / モジュールを制御するための各設定 / アクセス仕様、及び、PC/104 BUS から LFCQ1 上のデバイス / ボードを制御するための各設定 / アクセス仕様 (FRK-SH2A が実装されていない場合) につき説明致します。

尚 LFCQ1 は、FRK-SH2A 以外の過去 Interface 誌に付録として提供されてきた下記 CPU ボードを実装することも可能ですが、LFCQ1 上のジャンパ設定の確認 / 変更、CPLD の内容の変更 / 再書き込みを行う必要があります。

弊社におきましては随時 CPLD のバージョンは増やしていく予定ですが、必ずしも全てのお客様が求められている仕様とすることは困難と思われるので、FRK-SH2A ボードで以降に示すデフォルト機能とは違う機能を求められる場合、または、FRK-SH2A ボード以外の基板でご使用されることをご希望のお客様は、ご自身にて CPLD プログラムの変更等を行っていただき、オリジナル基板としてお役立ていただければ幸いです。

LFCQ1 と物理的に接続可能な Interface 誌 CPU ボード

- 1) CQ7144
- 2) CQ-V850
- 3) CQ-FRK-FR60
- 4) CQ-FRK-NXP-ARI
- 5) FRK-SH2A
- 6) FRK-FM3



6-1) CPU 端子設定

6-1-1) FRK-SH2A CPU ボード上の CPU 端子設定

FRK-SH2A のインターフェースコネクタ(CN1,CN2)に接続される CPU の各端子は、表 4 及び表 5 の「機能選択」欄の機能に設定する必要があります。

表 4 FRK-SH2A CPU ボード CN1 CPU 端子設定仕様

機能 選択	端子名	端子 番号	コネクタ 番号		端子 番号	端子名	機能 選択
A0	PJ0/CTx0/IETxD/CS1/TxD0/A0	63	1	2	11	PB1/A1	A1
A2	PB2/A2	12	3	4	13	PB3/A3	A3
A4	PB4/A4/TIOC0A	14	5	6	15	PB5/A5 /TIOC0B	A5
A6	PB6/A6 /TIOC0C	16	7	8	17	PB7/A7 /TIOC0D	A7
A8	PB8/A8/TIOC1A	19	9	10	21	PB9/A9/TIOC1B	A9
A10	PB10/A10/TIOC2A	23	11	12	24	PB11/A11/TIOC2B	A11
A12	PB12/A12/TIOC3A	25	13	14	26	PB13/A13/TIOC3B	A13
A14	PB14/ A14/TIOC3C	27	15	16	28	PB15/ A15/TIOC3D	A15
A16	PB16/A16/TIOC4A	30	17	18	34	PB17/ A17/ TIOC4B	A17
A18	PB18/ A18/ TIOC4C	35	19	20	36	PB19/ A19/ TIOC4D	A19
nWAIT/ PF0	PF0/WAIT/SSISCK1/DV_DATA0/ SCK2/TEND0/AUDCK* ¹	144	21	22	-	-	-
D0	PD0/D0/PWM1A	174	23	24	172	PD1/D1/PWM1B	D1
D2	PD2/D2/PWM1C	170	25	26	168	PD3/D3/PWM1D	D3
D4	PD4/D4/ FRE/PWM1E	167	27	28	166	PD5/D5/FCLE/PWM1F	D5
D6	PD6/D6/FALE/PWM1G	165	29	30	164	PD7/D7/FWE/PWM1H	D7
D8	PD8/D8/NAF0/PWM2A	163	31	32	162	PD9/D9/NAF1/PWM2B	D9
D10	PD10/D10/NAF2/PWM2C	159	33	34	158	PD11/D11/NAF3/PWM2D	D11
D12	PD12/D12/NAF4/PWM2E	157	35	36	156	PD13/D13/NAF5/PWM2F	D13
D14	PD14/D14/NAF6/PWM2G	155	37	38	154	PD15/D15/NAF7/PWM2H	D15
nCS0	PC0/CS0	175	39	40	59	PJ2/CTx1/CTx0&CTx1/CS2/ SCK0/LCD_M_DISP	nCS2

*¹ LFMN1 を実装しない場合は PF0 の設定とし、BSC.CSnWCR.NORMAL.BIT.WM を無効として下さい。



表 5 FRK-SH2A CPU ボード CN2 CPU 端子設定仕様

機能 選択	端子名	端子 番号	コネクタ 番号		端子 番号	端子名	機能 選択
任意	PH0/AN0	82	1	2	83	PH1/AN1	任意
任意	PH2/AN2	84	3	4	85	PH3/AN3	任意
任意	PF8/CE2B/SSIDATA3/DV_CLK	134	5	6	135	PF7/CE2A/SSIWS3/DV_DATA7/ TCLKD	任意
任意	PF6/CS6/CE1B/SSISCK3/ DV_DATA6/TCLKB ^{*1}	136	7	8	137	PF5/CS5/CE1A/SSIDATA2/ DV_DATA5/TCLKC/AUDATA3 ^{*2}	任意
-	-	-	9	10	-	-	-
RxD2	PF1/BREQ/SSIWS1/DV_DATA1/ RxD2/DREQ0/ AUDSYNC	142	11	12	146	PE5/SDA2/DV_HSYNC ^{*3}	PE5
PE6	PC5/RAS/TIOC4A /IRQ4	4	13	14	140	PF2/BACK /SSIDATA1/DV_DATA2/ TxD2/DACK0/AUDATA0	TxD2
RxD3	PF3/ICIORD/SSISCK2/DV_DATA3/ RxD3/AUDATA1	139	15	16	138	PF4/ ICIOWR/AH/SSIWS2/ DV_DATA4/TxD3/AUDATA2	TxD3
任意	PC6 / CAS/TIOC4B/IRQ5 ^{*4}	5	17	18	1	PC2/RD/WR ^{*5}	任意
任意	PC7/CKE /TIOC4C/IRQ6 ^{*6}	7	19	20	43	RES	nRES
nWE0	PC3/WE0/DQML	2	21	22	3	PC4/WE1/DQMU/WE	nWE1
nRD	PC1/ RD	176	23	24	147	PE4/SCL2/DV_VSYNC ^{*8}	任意
任意	PJ1/CRx0/IERxD/IRQ0/RxD0	61	25	26	58	PJ3/CRx1/CRx0/CRx1/IRQ1	任意
任意	PG20/LCD_EXTCLK/MISO1 /TxD7 ^{*7}	98	27	28	32	CKIO	CKIO
nIRQ0	PE0/SCL0/AUDIO_CLK/IRQ0	151	29	30	150	PE1/SDA0/IOIS16/IRQ1/TCLKA/ ADTRG	nIRQ1
nIRQ2	PE2/SCL1/IRQ2	149	31	32	148	PE3/SDA1/IRQ3	nIRQ3
nCS3	PC8/CS3/TIOC4D/IRQ7	9	33	34	39	PB22/ A22/CS4 ^{*9}	A22/CS4
A20	PB20/ A20	37	35	36	38	PB21/ A21	A21
任意	PF0/WAIT/SSISCK1/DV_DATA0/ SCK2/TEND0/AUDCK	144	37	38	-	-	-
-	-	-	39	40	-	-	-

*1 S2 の bit1 に接続されています。

*2 S2 の bit2 に接続されています。

*3 LED5 のカソード端子に接続されています。

*4 HJ22 を短絡すると、LED4 のカソード端子に接続されます。

*5 HJ11 を短絡すると、CPLD(U7(27))に接続されます。

*6 JP4(3-4)を短絡すると、RS232C CTS1 に接続されます。

*7 JP4(1-2)を短絡すると、RS232C RTS1 に接続されます。

*8 LED4 のカソード端子に接続されます。

*9 S1(bit3)が OFF 時(通常 SRAM 実装時)は CS4、ON 時(オプション 8MBSRAM 実装時)は A22 の設定とします。



6 - 1 - 2) FRK-FM3 ボード上の CPU 端子設定

FM3 のインターフェースコネクタ(CN1,CN2)に接続される CPU の各端子は、表 6 及び表 7 の「機能選択」欄の機能に設定する必要があります。

表 6 FRK-FM3 ボード CN1 CPU 端子設定仕様

機能 選択	端子名	端子 番号	コネクタ 番号		端子 番号	端子名	機能 選択
MAD00_0	P14/ AN04/ SIN0_1/ INT03_1/ IC02_2/ MAD00_0	94	1	2	95	P15/AN05/SOT0_1/IC03_2/ MAD01_0	MAD01_0
MAD02_0	P16/AN06/ SCK0_1/ INT20_1/ MAD02_0	96	3	4	97	P17/AN07/SIN2_2/INT04_1/ MAD03_0	MAD03_0
MAD04_0	P18/AN08/SOT2_2/ INT21_1/ MAD04_0	98	5	6	99	P19/AN09/SCK2_2/INT22_1/ MAD05_0	MAD05_0
MAD06_0	P1A/AN10/SIN4_1/INT05_1/ TIOA13_2/ IC00_1/ MAD06_0	100	7	8	101	P1B/AN11/SOT4_1/INT25_1/ TIOB13_2/IC01_1/ MAD07_0	MAD07_0
MAD08_0	P1C/AN12/SCK4_1/INT26_1/ TIOA14_2/ IC02_1/ MAD08_0	102	9	10	103	P1D/AN13/CTS4_1/INT27_1/ TIOB14_2/IC03_1/ MAD09_0	MAD09_0
MAD10_0	P1E/AN14/RTS4_1/INT28_1/ TIOA15_2/ DTTIOX_1/MAD10_0	104	11	12	105	P1F/AN15/ADTG_5/INT29_1/ TIOB15_2/FRCK0_1/ MAD11_0	MAD11_0
MAD12_0	P29/ AN24/ MAD12_0	118	13	14	95	P28/AN25/ADTG_4/INT09_0/ RTO05_1/MAD13_0	MAD13_0
MAD14_0	P27/AN26/INT02_2/RTO04_1/ MAD14_0	120	15	16	121	P26/ AN27/ SCK2_1/ RTO03_1/ MAD15_0	MAD15_0
MAD16_0	P25/AN28/SOT2_1/RTO02_1/ MAD16_0	122	17	18	123	P24/AN29/SIN2_1/INT01_2/ RTO01_1/MAD17_0	MAD17_0
MAD18_0	P20/INT05_0/CROUT_0/ UHCONX1/ AIN1_1/ MAD18_0	127	19	20	139	P90/TIOB08_0/RTO20_1/ INT30_0/MAD19_0	MAD19_0
P55/ MRDY_0	P55/SCK6_0/ADTG_1/RTO15_0/ MRDY_0*1	18	21	22	-	-	-
MADATA00_0	P4A/ TIOB01_0/ IC11_1/ BIN0_1/ SCK3_2/ MADATA00_0	60	23	24	61	P4B/ TIOB02_0/ IC12_1/ ZIN0_1/ MADATA01_0	MADATA01_0
MADATA02_0	P4C/TIOB03_0/IC13_1/SCK7_1/ AIN1_2/ MADATA02_0	62	25	26	63	P4D/TIOB04_0/FRCK1_1/ SOT7_1/ /BIN1_2/ MADATA03_0	MADATA03_0
MADATA04_0	P4E/TIOB05_0/INT06_2/SIN7_1/ ZIN1_2/ MADATA04_0	64	27	28	65	P70/ TIOA04_2/ MADATA05_0	MADATA05_0
MADATA06_0	P71/INT13_2/TIOB04_2/ MADATA06_0	66	29	30	67	P72/SIN2_0/INT14_2/AIN2_0/ MADATA07_0	MADATA07_0
MADATA08_0	P73/SOT2_0/INT15_2/BIN2_0/ MADATA08_0	68	31	32	69	P74/SCK2_0/ZIN2_0/ MADATA09_0	MADATA09_0
MADATA10_0	P75/SIN3_0/ADTG_8/INT07_1/ MADATA10_0	70	33	34	71	P76/SOT3_0/TIOA07_2/INT11_2/ MADATA11_0	MADATA11_0
MADATA12_0	P77/SCK3_0/TIOB07_2/INT12_2/ MADATA12_0	72	35	36	73	P78/ AIN1_0/ TIOA15_0/ MADATA13_0	MADATA13_0
MADATA14_0	P79/BIN1_0/TIOB15_0/INT23_1/ MADATA14_0	74	37	38	75	P7A/ZIN1_0/INT24_1/ MADATA15_0	MADATA15_0
MCSX0_0	P5A/SOT7_0/TIOA13_1/INT18_1/ MCSX0_0	23	39	40	24	P5B/SCK7_0/TIOB13_1/ INT19_1/MCSX1_0	MCSX1_0

*1 LFMN1 を実装しない場合は PF5 の設定とし、BSC.CSnWCR.NORMAL.BIT.WM を無効として下さい。



表 7 FRK-FM3 ボード CN2 CPU 端子設定仕様

機能 選択	端子名	端子 番号	コネクタ 番号		端子 番号	端子名	機能 選択
任意	PB0/ AN16/ TIOA09_1/ SIN7_2/ INT16_0	110	1	2	111	PB1/ AN17/ TIOB09_1/ SOT7_2/ INT17_0	任意
任意	PB2/ AN18/ TIOA10_1/ SCK7_2/ INT18_0	112	3	4	113	PB3/ AN19/ TIOB10_1/ INT19_0	任意
任意	PB4/ AN20/ TIOA11_1/ SIN0_2/ INT20_0	114	5	6	115	PB5/AN21/TIOB11_1/SOT0_2/ INT21_0/ AIN2_2	任意
任意	PB6/AN22/TIOA12_1/SCK0_2/ INT22_0/ BIN2_2 ^{*1}	116	7	8	117	PB7/AN23/TIOB12_1/ INT23_0/ ZIN2_2 ^{*2}	任意
-	-	-	9	10	-	-	-
SIN4_2	P05/TRACED0/TIOA05_2/ SIN4_2/INT00_1	8	11	12	37	P39/ DTTI0X_0/ ADTG_2 ^{*3}	P39
任意	P3A/ RTO00_0/ TIOA00_1	38	13	14	9	P06/TRACED1/TIOB05_2/SOT4_2 /INT01_1	SOT4_2
SIN0_0	P21/SIN0_0/INT06_1/BIN1_1	126	15	16	125	P22/AN31/SOT0_0 /TIOB07_1 /ZIN1_1	SOT0_0
任意	P3C /RTO02_0/TIOA02_1 ^{*4}	40	17	18	14	P51 / INT01_0 / BIN0_2/ SOT3_1/ RTO11_0/ IC21_0/ MWEX_0 ^{*5}	任意
任意	P08 /TRACED3/TIOA00_2/ CTS4_2 ^{*6}	11	19	20	57	INITX	INITX
MDQM0_0	P52 /INT02_0/ZIN0_2/ SCK3_1 / RTO12_0/ IC22_0/ MDQM0_0 ^{*10}	15	21	22	16	P53 /SIN6_0/TIOA01_2/INT07_2/ RTO13_0 /IC23_0 /MDQM1_0	MDQM1_0
MOEX_0	P50 / INT00_0/ AIN0_2/ SIN3_1 / RTO10_0/ IC20_0/ MOEX_0	13	23	24	42	P3E / RTO04_0 / TIOA04_1 ^{*8}	任意
任意	P3B / RTO01_0 / TIOA01_1	39	25	26	41	P3D / RTO03_0 / TIOA03_1	任意
任意	P09 / TRACECLK / TIOB00_2 / RTS4_2/ DTTI2X_0 ^{*7}	12	27	28	36	P38/ IC00_0/ SCK5_2/ INT11_1/ MCLKOUT_0	MCLKOUT_0
INT12_0	P7D/TIOA14_1/ FRCK2_1/ INT12_0	78	29	30	81	PF0/TIOB15_1/SIN1_2/INT13_0/ IC23_1	INT13_0
INT14_0	PF1/TIOA08_1/SOT1_2/INT14_0 ^{*10}	82	31	32	83	PF2 / TIOB08_1 / SCK1_2/INT15_0 ^{*10}	INT15_0
MCSX2_0	P36/IC02_0 /SIN5_2/INT09_1/ TIOA12_2/ MCSX2_0 ^{*10}	34	33	34	35	P37/IC01_0 / SOT5_2/ INT10_1/ TIOB12_2/ MCSX3_0 ^{*9*10}	MCSX3_0
MAD20_0	P91 / TIOB09_0/ RTO21_1/INT31_0/ MAD20_0 ^{*10}	140	35	36	141	P92 / TIOB10_0/ RTO22_1/ SIN5_1/ MAD21_0 ^{*10}	MAD21_0
任意	P3F / RTO05_0 / TIOA05_1	43	37	38	-	-	-
-	-	-	39	40	-	-	-

*1 S2 の bit1 に接続されています。

*2 S2 の bit2 に接続されています。

*3 LED5 のカソード端子に接続されています。

*4 HJ22 を短絡すると、LED4 のカソード端子に接続されます。

*5 HJ11 を短絡すると、CPLD(U7(27))に接続されます。

*6 JP4(3-4)を短絡すると、RS232C CTS1 に接続されます。

*7 JP4(1-2)を短絡すると、RS232C RTS1 に接続されます。

*8 LED4 のカソード端子に接続されます。

*9 S1(bit3)が OFF 時(通常 SRAM 実装時)は CS4、ON 時(オプション 8MBSRAM 実装時)は A22 の設定とします。

*10 FM3 基板上のジャンパ接続により接続端子が異なります。(表記はデフォルト時)



6-2) LFCQ1 のメモリマップ

以下に LFCQ1 各モードでのメモリマップ、及び、各 SW / ジャンパの設定を示します。
各 SW / ジャンパは各モードに合わせ、必ず設定して下さい。

6-2-1) FRK-SH2A CPU のメモリマップ

LFCQ1 が標準実装モードで、FRK-2H2A CPU ボードを実装した場合の FRK-2H2A CPU ボードから見たメモリマップ、及び、各 SW / ジャンパの設定を以下に示します。

(1) メモリマップ 1 (CS0 領域をブートデバイスとしない場合)

CS0 領域 (CN5, CN6 に実装するデバイス) にモーションネットセンタボード LFMN1、または、LF64-S4MB を実装した場合のメモリマップ、及び、その時の各 SW / ジャンパの設定を下表に示します。

表 8 FRK-SH2A から見たメモリマップ 1

CS 領域	推奨エリア設定	アドレス	対象デバイス
CS0	16bit 幅、 通常空間、 リトルエンディアン	H'(0/2)0000000-H'(0/2)03FFFFFF	CN5,CN6 の LF64-S4MB/ LF64-F4MB ^{*1}
		H'(0/2)0400000-H'(0/2)04FFFFFF	PC/104 16bit メモリエリア(1MB)
		H'(0/2)0600000-H'(0/2)060FFFFF	PC/104 16bit I/O エリア(64KB)
		H'(0/2)0700000-H'(0/2)077FFFFF	CN8,CN9 の LF-A1C の 16bit アクセスエリア
		H'(0/2)0780000-H'(0/2)078FFFFF	CN5,CN6 の LFMN1 の 16bit アクセスエリア ^{*2}
CS2	8bit 幅、 通常空間、 リトルエンディアン	H'(0/2)8000000-H'(0/2)80FFFFFF	PC/104 8bit メモリエリア(1MB)
		H'(0/2)8100000-H'(0/2)810FFFFF	PC/104 8bit I/O エリア(64KB)
CS3	16bit 幅、 通常空間、 ビッグエンディアン	H'(0/2)C000000-H'(0/2)C3FFFFFF	SRAM(4MB 実装 Option 時) ^{*3}
		H'(0/2)C000000-H'(0/2)C7FFFFFF	SRAM(8MB 実装 Option 時) ^{*4}

表中()内の数値は、キャッシュエリア/非キャッシュエリアのアドレス値を示しています。
各エリアのウェイト指定等 CPU 内蔵 BSC レジスタの設定は、お客様にて最適値を設定して下さい。

FRK-SH2A の CPU は、ブート用シリアル・フラッシュ ROM から起動する必要があります。
CN5,CN6 には 1 種類以上の基板は実装できません。

FRK-SH2A の CPU 兼用端子「PB22/A22/CS4」は、A22 に設定されている必要があります。

*1 LFCQ1 の SW / ジャンパの設定が下表項 1、または、項 2 である必要があります。

*2 LFCQ1 の SW / ジャンパの設定が下表項 3、または、項 4 である必要があります。

*3 LFCQ1 の SW / ジャンパの設定が下表項 1、または、項 3 である必要があります。

*4 LFCQ1 の SW / ジャンパの設定が下表項 1、または、項 3 である必要があります。

表 9 FRK-SH2A メモリマップ 1 時の SW / ジャンパ設定仕様

項	S1			HJ1 ~ HJ28	
	bit2	bit3	bit4	短絡	開放
1	OFF	OFF	ON	1,2,3,4,8,9,12,13,14,18,21,23,25,28	5,6,7,10,11,15,16,17,19,20,22,24,26,27
2	OFF	ON	ON	1,2,3,4,8,9,12,13,14,18,21,23,25,28	5,6,7,10,11,15,16,17,19,20,22,24,26,27
3	OFF	OFF	OFF	1,2,3,4,8,9,15,16,14,18,20,23,25,28	5,6,7,10,11,12,13,17,19,21,22,24,26,27
4	OFF	ON	OFF	1,2,3,4,8,9,15,16,14,18,20,23,25,28	5,6,7,10,11,12,13,17,19,21,22,24,26,27

LF-A1C、LFMN1 基板上的設定は各基板のマニュアルをご参照下さい。



(2) メモリマップ2 (CN5/6 にブートROM 実装時)

CS0 領域 (CN5, CN6 に実装するデバイス) にプログラムブートデバイス (LF64-F4MB) を実装した場合のメモリマップ、及び、各 SW / ジャンパの設定を下表に示します。

表 10 FRK-SH2A から見たメモリマップ2

CS 領域	推奨エリア設定	アドレス	対象デバイス
CS0	16bit 幅、 通常空間、 ビッグインディアン	H'(0/2)0000000-H'(0/2)03FFFFFF	CN5, CN6 の LF64-F4MB
CS2* ³	16bit 幅、 通常空間、 リトルインディアン	H'(0/2)8000000-H'(0/2)80FFFFFF	PC/104 16bit メモリエリア(1MB)
		H'(0/2)8200000-H'(0/2)820FFFFF	PC/104 16bit I/O エリア(64KB)
		H'(0/2)8300000-H'(0/2)8300FFFF	CN8, CN9 の LF-A1C の 16bit アクセスエリア
CS3	16bit 幅、 通常空間、 ビッグインディアン	H'(0/2)C000000-H'(0/2)C3FFFFFF H'(0/2)C000000-H'(0/2)C7FFFFFF* ¹	SRAM(4MB 実装時)* ² SRAM(8MB 実装時)* ¹
CS4* ²	8bit 幅、 通常空間、 リトルインディアン	H'(1/3)8000000-H'(1/3)80FFFFFF	PC/104 8bit メモリエリア(1MB)
		H'(1/3)8100000-H'(1/3)810FFFFF	PC/104 8bit I/O エリア(64KB)

表中 () 内の数値は、キャッシュエリア/非キャッシュエリアのアドレス値を示しています。
各エリアのウェイト指定等 CPU 内蔵 BSC レジスタの設定は、お客様にて最適値を設定して下さい。

FRK-SH2A を CS0 ブートとする場合、FRK-SH2A ボードの JP3 パタンをカット、JP7 を半田で短絡する必要があります。

- *¹ LFCQ1 の SW / ジャンパの設定が下表項 2 である必要があり、FRK-SH2A の CPU 兼用端子「PB22/A22/CS4」は、A22 に設定されている必要があります。
- *² LFCQ1 の SW / ジャンパの設定が下表項 1 であり、FRK-SH2A の CPU 兼用端子「PB22/A22/CS4」は、CS4 に設定されている必要があります。
- *³ 当エリアへのアクセスは必ずワード(16bit)以上で行なって下さい。(バイトアクセスはできません。)

表 11 FRK-SH2A メモリマップ2 時の SW / ジャンパ設定仕様

項	S1			HJ1 ~ HJ28	
	bit2	bit3	bit4	短絡	開放
1	ON	OFF	ON	1,2,3,4,8,9,12,13,14,18,21,23,25,27	5,6,7,10,11,15,16,17,19,20,22,24,26,28
2	ON	ON	ON	1,2,3,4,8,9,12,13,14,18,21,23,25,28	5,6,7,10,11,15,16,17,19,20,22,24,26,27

LF-A1C 基板上的の設定は LF-A1 のマニュアルをご参照下さい。



6 - 2 - 2) FRK-FM3 のメモリマップ

LFCQ1 が標準実装モードで、FRK-FM3 ボードを実装した場合の FRK-FM3 ボードから見たメモリマップ、及び、各 SW / ジャンパの設定を以下に示します。

FRK-FM3 を改造しない場合の設定を下表に示します。

表 12 FRK-FM3 から見たメモリマップ 2

CS 領域	推奨レジスタ設定	アドレス	対象デバイス
MCSX0_0	MODE0: H'00000809 TIM0 : H'00020012 AREA0: H'000F0000	H'60000000-H'603FFFFFFF	CN5,CN6 の LF64-F4MB を実装する場合
MCSX1_0 *1	MODE1: H'00000849 TIM1 : H'01030013 AREA1: H'000F0010	H'61000000-H'610FFFFFFF	PC/104 16bit メモリアリア(1MB)
		H'61200000-H'6120FFFFFFF	PC/104 16bit I/O アリア(64KB)
		H'61300000-H'61300FFFFF	CN8,CN9 の LF-A1C の 16bit アクセスアリア
MCSX2_0	MODE2: H'00000809 TIM2 : H'01030013 AREA2: H'000F0020	H'62000000-H'623FFFFFFF	SRAM(4MB 実装時)
MCSX3_0	MODE3: H'00000848 TIM3 : H'05170027 AREA3: H'000F0030	H'63000000-H'630FFFFFFF	PC/104 8bit メモリアリア(1MB)
		H'63100000-H'6310FFFFFFF	PC/104 8bit I/O アリア(64KB)

表中 () 内の数値は、キャッシュエリア/非キャッシュエリアのアドレス値を示しています。各エリアのウェイト指定等 CPU 内蔵 BSC レジスタの設定は、お客様にて最適値を設定して下さい。

上記メモリマップで使用する場合、S1、及び、各 HJ の設定は下表の通りである必要があります。

*1 当エリアへのアクセスは必ずワード(16bit)以上で行なって下さい。(バイトアクセスはできません。)

表 13 FRK-FM3 実装時の SW / ジャンパ設定仕様

項	S1				HJ1 ~ HJ28	
	bit1	bit2	bit3	bit4	短絡	開放
1	OFF	ON	OFF	ON	1,2,3,4,8,9,12,13,14,18,21,23,25,27	5,6,7,10,11,15,16,17,19,20,22,24,26,28

LF-A1C 基板上の設定は LF-A1 のマニュアルをご参照下さい。

上記設定は、デフォルト出荷状態と異なります。(デフォルトは HJ27 が開放、HJ28 が短絡となります。)



6 - 2 - 3) PC/104 からのメモリマップ設定

FRK-2H2A CPU ボードを実装しない場合の PC/104 側から見たメモリマップを以下に示します。

(1) PC/104 メモリマップ 1 (CN5/6 にメモリボード実装時、メモリアクセス時)

CN5, CN6 にメモリボード (LF64-F4MB / LF64-S4MB) を実装時のメモリマップ、及び、各 SW / ジャンパの設定を下表に示します。

表 14 PC/104 から見たメモリマップ

エリア設定	アドレス	対象デバイス
16bit メモリ領域	H'000000-H'3FFFFFF	CN5, CN6 の LF64-F4MB ^{*1} / LF64-S4MB ^{*2}
	H'400000-H'7FFFFFF ^{*3}	SRAM(4MB 実装 Option 時) ^{*3}
	H'400000-H'BFFFFFF ^{*4}	SRAM(8MB 実装 Option 時) ^{*4}
16bit I/O 領域	H'001000-H'001FFF	CN8, CN9 の LF-A1C の 16bit アクセスエリア ^{*2}

*1 LFCQ1 の SW / ジャンパの設定が下表項 1、または、項 2 である必要があります。

*2 LFCQ1 の SW / ジャンパの設定が下表項 3、または、項 4 である必要があります。

*3 LFCQ1 の SW / ジャンパの設定が下表項 1、または、項 3 である必要があります。

*4 LFCQ1 の SW / ジャンパの設定が下表項 2、または、項 4 である必要があります。

表 15 PC/104 メモリマップ 1 時の SW / ジャンパ設定仕様

項	S1				HJ1 ~ HJ28	
	bit1	bit2	bit3	bit4	短絡	開放
1	OFF	OFF	OFF	ON	1,2,3,4,8,9,16,14,18,21,23,25,27	5,6,7,10,11,12,15,13,17,19,20,22,24,26,28
2	OFF	OFF	ON	ON	1,2,3,4,8,9,16,14,18,21,23,25,27	5,6,7,10,11,12,15,13,17,19,20,22,24,26,28
3	OFF	OFF	OFF	ON	1,2,3,4,8,9,12,13,14,18,21,23,25,27	5,6,7,10,11,15,16,17,19,20,22,24,26,28
4	OFF	OFF	ON	ON	1,2,3,4,8,9,12,13,14,18,21,23,25,27	5,6,7,10,11,15,16,17,19,20,22,24,26,28

**(2) PC/104 メモリマップ 2 (CN5/6 に LFMN1 実装、I/O アクセス時)**

CN5, CN6 に LFMN1 を実装時のメモリマップ、及び、各 SW / ジャンパの設定を下表に示します。

表 16 PC/104 から見たメモリマップ

エリア設定	アドレス	対象デバイス
16bit I/O 領域	H'001000-H'001FFF	CN8, CN9 の LF-A1C の 16bit アクセスエリア ^{*1}
	H'002000-H'002FFF	CN5, CN6 の LFMN1 の 16bit アクセスエリア ^{*1}
8bit I/O 領域	H'001000-H'001FFF	CN8, CN9 の LF-A1C の 8bit アクセスエリア ^{*2}
	H'002000-H'002FFF	CN5, CN6 の LFMN1 の 8bit アクセスエリア ^{*2}

^{*1} LFCQ1 の SW / ジャンパの設定が下表項 1 である必要があります。

^{*2} LFCQ1 の SW / ジャンパの設定が下表項 2 である必要があります。

表 17 PC/104 メモリマップ 2 時の SW / ジャンパ設定仕様

項	S1			HJ1 ~ HJ28	
	bit1	bit2	bit4	短絡	開放
1	ON	OFF	OFF	1,2,3,4,8,9,15,16,14,18,20,23,25,27	5,6,7,10,11,12,13,17,19,21,22,24,26,28
2	ON	OFF	OFF	1,2,3,4,8,9,15,16,19,20,23,25,27	5,6,7,10,11,12,13,14,17,18,21,22,24,26,28

LF-A1C、LFMN1 基板上的の設定は各基板のマニュアルをご参照下さい。

6-3) 割込み

6-3-1) CPU ボードへの割込み

CPU ボードを実装した場合の CPU への割込み要因を下表に示します。

表 18 CPU ボード割込み要因

項	信号名		要 因
	FRK-SH2A	FRK-FM3	
1	nIRQ0	INT12_0	LFMN1(G9001A)からの割込み
2	nIRQ1	INT13_0	LF-A1(AX88796B)からの割込み
3	nIRQ2	INT14_0	PC/104 BUS IRQ7 からの割込み
4	nIRQ3	INT15_0	PC/104 BUS IRQ11 からの割込み

CPU の割込み検出モードは、立下りエッジ、または、ローレベル検出として下さい。

6-3-2) PC/104 BUS への割込み

CPU ボードを実装しない場合の PC/104 BUS への割込み要因を下表に示します。

表 19 CPU ボード割込み要因

項	信号名	要 因	備考
1	IRQ5	LFMN1(G9001A)からの割込み	
2	IRQ3	LF-A1(AX88796B)からの割込み	



6-4) CPLD ピンアサイン

下表に CPLD の端子仕様表を示します。

表 20 CPLD 端子仕様

端子 番号	信号名	I/O	機能	端子 番号	信号名	I/O	機能
1	AO[20]	O	アドレス 20	26	GNDIO	P	0V
2	AO[21]	O	アドレス 21	27	RDnWR	I	CPU ボード RD/nWR*1
3	VCCIO	P	+3.3VDC	28	nIRQ0	I	CPU ボード nIRQ0
4	TDI	I	JTAG	29	nIRQ1	I	CPU ボード nIRQ1
5	nBYTE	I	CN5,6/CN8,9 バイト選択	30	nIRQ2	O	CPU ボード nIRQ2
6	nMBYTE	I	SRAM バイト選択	31	nIRQ3	O	CPU ボード nIRQ3
7	M_D15_A1	I/O	SRAM D15/A-1	32	PC104IRQ7	I	PC/104 IRQ7
8	nETCWR	O	CN8,9 ライト	33	GNDIO	P	0V
9	nCS[0]	O	CN5,6 チップ選択	34	VCCIO	P	+3.3VDC
10	nCS[1]	O	CN8,9 チップ選択	35	PC104IRQ5	I/O	PC/104 IRQ5
11	GNDIO	P	0V	36	PC104IRQ3	I/O	PC/104 IRQ3
12	nCS[2]	O	SRAM(1)チップ選択	37	PC104IRQ11	I	PC/104 IRQ11
13	nCS[3]	O	SRAM(2)チップ選択	38	GNDIO	P	0V
14	nWAIT	O	CPU ボードへのウェイトリクエスト	39	VCCIO	P	+3.3VDC
15	TMS	I	JTAG	40	DDIR	O	PC/104 データバッファディレクション
16	nW_nLB	I	CN5,6 からのウェイトリクエスト	41	nDEN	O	PC/104 データバッファイネーブル
17	nBLE	O	ロウバイトイネーブル	42	ADIR	O	PC/104 アドレスバッファディレクション
18	VCCIO	P	+3.3VDC	43	GNDIO	P	0V
19	nBHE	O	ハイバイトイネーブル	44	nIOCS16	O	PC/104 nIOCS16
20	nCS0_CPU	I	CPU ボードからの nCS0	45	nMEMCS16	O	PC/104 nMEMCS16
21	A22_nCS4	I	CPU ボードからの A22	46	BALE	I/O	PC/104 アドレスラッチ
22	nCS2_CPU	I	CPU ボードからの nCS2	47	nIOR	I/O	PC/104 I/O リード
23	nCS3_CPU	I	CPU ボードからの nCS3	48	nIOW	I/O	PC/104 I/O ライト
24	A20_CPU	I	CPU ボードからの A20	49	nSMEMR	I/O	PC/104 メモリード(1M 以下)
25	A21_PB21	I	CPU ボードからの A21	50	nSMEMW	I/O	PC/104 メモリード(1M 以下)

(続く)



(続き)

端子 番号	信号名	I/O	機能	端子 番号	信号名	I/O	機能
51	VCCIO	P	+3.3VDC	76	D15	I/O	データ 15
52	RESDRV	I/O	PC/104 リセット	77	A0	I	アドレス 0
53	GNDIO	P	0V	78	GNDIO	P	0V
54	nMEMW	I/O	PC/104 メモライツ	79	nWEMEM	O	SRAM ライツ
55	nMEMR	I/O	PC/104 メモリリード	80	nWECN5	O	CN5,6 ライツ
56	LA[17]	I/O	PC/104 ラツチアドレス 17	81	A[10]	I	アドレス 10
57	LA[18]	I/O	PC/104 ラツチアドレス 18	82	VCCIO	P	+3.3VDC
58	LA[19]	I/O	PC/104 ラツチアドレス 19	83	A[11]	I	アドレス 11
59	GNDIO	P	0V	84	A[12]	I	アドレス 12
60	LA[20]	I/O	PC/104 ラツチアドレス 20	85	A[13]	I	アドレス 13
61	LA[21]	I/O	PC/104 ラツチアドレス 21	86	GNDINT	P	0V
62	TCK	I	JTAG	87	CK	I	CPU ボードからのクロツク
63	LA[22]	I/O	PC/104 ラツチアドレス 22	88	ONBD	I	CPU ボード検出
64	LA[23]	I/O	PC/104 ラツチアドレス 23	89	DSW[1]	I	S1 bit1
65	GNDIO	P	0V	90	DSW[2]	I	S1 bit2
66	VCCIO	P	+3.3VDC	91	VCCINT	P	+3.3VDC
67	nSBHE	I/O	PC/104 ハイバイツイネーブル	92	DSW[3]	I	S1 bit3
68	AEN	I/O	PC/104 アドレスイネーブル	93	DSW[4]	I	S1 bit4
69	nIOCHRDY	I/O	PC/104 ウェイツリクエスト	94	A[14]	I	アドレス 14
70	nWR1	I/O	CPU ボード nWE1	95	GNDINT	P	0V
71	nWR0	I/O	CPU ボード nWE0	96	A[15]	I	アドレス 15
72	nRD	I/O	リード	97	A[16]	I	アドレス 16
73	TDO	O	JTAG	98	A[17]	I	アドレス 17
74	GNDIO	P	0V	99	A[19]	I	アドレス 18
75	nRST	I/O	LFCQ1 リセット	100	A[18]	I	アドレス 19

*1 HJ11 を短絡した場合に接続されます。



7. コネクタ仕様

本項では、LFCQ1 に実装される各コネクタの仕様につき説明致します。

(各コネクタは出荷時未実装です。)

尚 本項で説明致します内容は、主にInterface誌付録CPUボード中のFRK-SH2Aを実装した場合の説明となりますので、その他のCPUボードを実装される場合はご注意ください。

7-1) CPUボードインターフェースコネクタ(CN1,CN2)

CN1,CN2は、Interface誌付録CPUボードを実装するコネクタです。

CN1,2と各CPUボードコネクタとの関係は表17,18をご参照下さい。

注) ボードを誤った方向で実装致し、電源をONしますとLFCQ1 / CPUボードを破壊してしまう恐れがありますので、実装には充分ご注意ください。



表 21 LFCQ1 CN1 に接続される過去Interface誌付録 CPU ボードのピン仕様

共通部	Interface	Interface	Interface	Interface	Interface
掲載号	2006年6月号	2007年5月号	2008年5月号	2010年6月号	2012年6月号
シリーズ	SH2	V850ES	FR60	SH2A	FM3
正式名	HD64F7144F50V	uPD70F3716GC	MB91FV310A	R5S72620W144FPU	MB9BF618T
基板名	CQ7144	CQ-V850	CQ-FRK-FR60	FRK-SH2A	FRK-FM3
コネクタ名	J1	CON1	CN1	CN1	CN1
1	A0	A0	P00	A0	MAD0
2	A1	A1	P01	A1	MAD1
3	A2	A2	P02	A2	MAD2
4	A3	A3	P03	A3	MAD3
5	A4	A4	P04	A4	MAD4
6	A5	A5	P05	A5	MAD5
7	A6	A6	P06	A6	MAD6
8	A7	A7	P07	A7	MAD7
9	A8	A8	P10	A8	MAD8
10	A9	A9	P11	A9	MAD9
11	A10	A10	P22	A10	MAD10
12	A11	A11	P23	A11	MAD11
13	A12	A12	P14	A12	MAD12
14	A13	A13	P15	A13	MAD13
15	A14	A14	P16	A14	MAD14
16	A15	A15	P17	A15	MAD15
17	A16	A16	+5V	A16	MAD16
18	A17	A17	GND	A17	MAD17
19	A18	A18	GND	A18	MAD18
20	A19	A19	GND	A19	MAD19
21	A20/nWAIT	PCMO/nWAIT	P35	nWAIT	MRDY
22	A21	P40	P36	GND	GND
23	D0	D0	P40	D0	MADATA0
24	D1	D1	P41	D1	MADATA1
25	D2	D2	P42	D2	MADATA2
26	D3	D3	P43	D3	MADATA3
27	D4	D4	P44	D4	MADATA4
28	D5	D5/FLMD1	P45	D5	MADATA5
29	D6	D6	P46	D6	MADATA6
30	D7	D7	P47	D7	MADATA7
31	D8	D8	P50	D8	MADATA8
32	D9	D9	P51	D9	MADATA9
33	D10	D10	P52	D10	MADATA10
34	D11	D11	P53	D11	MADATA11
35	D12	D12	P54	D12	MADATA12
36	D13	D13	P55	D13	MADATA13
37	D14	D14	P56	D14	MADATA14
38	D15	D15	P57	D15	MADATA15
39	nCS0	A20	GND	nCS0	MCSX0
40	nCS1	A21	GND	nCS2	MCSX1

ピンクの欄が今バージョンの対象 CPU ボードです。

コネクタを実装する場合は、2.54mm ピッチ 2 列 40 ピン (20 ピン × 2 列)、実装穴径 1.0 以下のものとして下さい。



表 22 LFCQ1 CN2 に接続される過去Interface誌付録 CPU ボードのピン仕様

共通部	Interface	Interface	Interface	Interface	Interface
掲載号	2006年6月号	2007年5月号	2008年5月号	2010年6月号	2012年6月号
シリーズ	SH2	V850ES	FR60	SH2A	FM3
正式名	HD64F7144F50V	uPD70F3716GC	MB91FV310A	R5S72620W144FPU	MB9BF618T
基板名	CQ7144	CQ-V850	CQ-FRK-FR60	FRK-SH2A	FRK-FM3
コネクタ名	J2	CON2	CN2	CN2	CN2
1	AN0	AN0	AIN0	AN0	AN16
2	AN1	AN1	AIN1	AN1	AN17
3	AN2	AN2	AIN2	AN2	AN18
4	AN3	AN3	AIN3	AN3	AN19
5	AN4	AN4	AIN4	PF8	AN20
6	AN5	AN5	AIN5	PF7	AN21
7	AN6	AN6	AIN6	PF6	AN22
8	AN7	AN7	AIN7	PF5	AN23
9	PE5	AN8	GND	GND	GND
10	PE6	P50	GND	GND	GND
11	PE7/RXD2	RXDA2	P20	RxD2	SIN0_0
12	PE8	P51	AIN8	PE5	RTS4_2
13	PE9	P41	AIN9	PC5	P3A
14	PE10/TXD2	TXDA2	P21	TxD2	SOT0_0
15	PE11/RXD3	P42	P70	RxD3	SIN4_2
16	PE12/TXD3	P32	P71	TxD3	SOT4_2
17	PE13	P33	P72	PC6	CTS4_2
18	PE14	PCM2	P73	PC2	MWEX
19	PE15	P34	P74	PC7	PC3
20	nRES	nRES	nRSTOUT	nRST	INITX
21	nWRL	nWR0	P30	nWR0	MDQM0_MWEX
22	nWRH	nWR1	P31	nWR1	MDQM1
23	nRD	nRD	P32	nRD	MOEX
24	PA2	PCM3	nMRSTIN	PE4	P3B
25	PA5	P35	GND	PJ1	P3E
26	PA8	P36	GND	PJ3	P39
27	PA9	P02/NMI	P33	PG20	P3D
28	PA15	PCM1/CLKOUT	P34	CKIO	MCLKOUT
29	PB2/IRQ0	P03	P62	nIRQ0	INIT12_0
30	PB3/IRQ1	P04	P63	nIRQ1	INIT13_0
31	PB4/IRQ2	P05	P64	nIRQ2/A20	INIT14_0/MAD20
32	PB5/IRQ3	P06	P65	nIRQ3/A21	INIT15_0/MAD21
33	nCS2	AN9	P61	nCS3	MCSX2/MAD22
34	nCS3	AN10	P60	nCS4/A22	MCSX3/MDA23
35	nWDTOVF	AN11	P24	A20	MAD20
36	TX0(RS232C)	ANO_1	P25	A21	MAD21
37	RX0(RS232C)	ANO_0	nNMI	nWAIT	PF3
38	Vin(3.6-6V)	Vin(3.9-6V)	Vin(+5V)	Vin(5V)	Vin(5V)
39	Vout(3.3V)	Vout(3.3V)	Vout(3.3V)	Vout(3.3V)	Vout(3.3V)
40	GND	GND	GND	GND	GND

ピンクの欄が今バージョンの対象 CPU ボードです。

コネクタを実装する場合は、2.54mm ピッチ 2 列 40 ピン (20 ピン × 2 列)、実装穴径 1.0 以下のものとして下さい。



7-2) RS232C インターフェースコネクタ(CN3,CN4)

CN3,CN4 は、LFCQ1 CN2 に接続されている CPU ボードの CPU 内蔵シリアルユニット (SCIF 等)の送受信信号端子が RS232C ライン・ドライバ/レシーバを介し接続されています。

CN3,CN4 のピンアサインを下表に示します。

表 23 RS232C インターフェースコネクタ(CN3)コネクタ仕様

適合コネクタ:IL-G-6P-S3T2-SA (JAE)

適合ソケット:IL-G-6S-S3C2-SA + IL-C2-SC-0001×6個 (JAE)

端子 No.	信号名称	I/O	信号レベル	内 容	CN2 接続先
1	RS_TxD1	O	EIA/TIA-232	シリアル送信信号	14(TxD2/SOT4_2)
2	RS_RTS1	O	EIA/TIA-232	送信要求信号	27(PG20/RTS4_2)* ¹
3	RS_RxD1	I	EIA/TIA-232	シリアル受信信号	11(RxD2/SIN4_2)
4	RS_CTS1	I	EIA/TIA-232	送信許可信号	19(PC7/CTS4_2)* ²
5	GND	P	0V	シグナルグランド	
6	VCC	P	+5VDC	+5VDC 電源	

「CN2 接続先」欄 () 内は FRK-SH2A/FRK-FM3 ボードの信号名を示しています。

*¹ JP4 の 1-2 が短絡されている場合に接続されます。

*² JP4 の 3-4 が短絡されている場合に接続されます。

表 24 RS232C インターフェースコネクタ(CN4)コネクタ仕様

適合コネクタ:IL-G-6P-S3T2-SA (JAE)

適合ソケット:IL-G-6S-S3C2-SA + IL-C2-SC-0001×6個 (JAE)

端子 No.	信号名称	I/O	信号レベル	内 容	CN2 接続先
1	RS_TxD2	O	EIA/TIA-232	シリアル送信信号	16(TxD3/SOT0_0)
2	RS_RTS2	O	EIA/TIA-232	送信要求信号	- * ¹
3	RS_RxD2	I	EIA/TIA-232	シリアル受信信号	15(RxD3/SIN0_0)
4	RS_CTS2	I	EIA/TIA-232	送信許可信号	- * ²
5	GND	P	0V	シグナルグランド	
6	VCC	P	+5VDC	+5VDC 電源	

「CN2 接続先」欄 () 内は FRK-SH2A/FRK-FM3 ボードの信号名を示しています。

*¹ JP3 の 1 が接続されています。

*² JP3 の 3 が接続されています。



7-3) LFMN1、メモリ拡張基板接続コネクタ(CN5,CN6)

CN5,CN6 は、表 21-23 に示す信号が接続されており、L&F 社モーションネットセンターボード LFMN1 (別売) または、「LF64-F4MB」(別売) / 「LF64-S4MB」(別売) の何れかが搭載可能です。

尚 コネクタを実装する場合は、2.54mm ピッチ 2 列 24 ピン (12 ピン × 2 列)、実装穴径 1.0 以下のものとして下さい。

注) ボードを誤った方向で実装致しますと LFCQ1 と実装されたボードを破壊してしまう恐れがありますので、実装には充分ご注意ください。

以下に、それぞれのボードを実装したときの信号仕様を示します。

表 25 モーションネットセンターボード (LFMN1) 実装時の CN5 / CN6 ピンアサイン

CN5							
端子番号	信号名	I/O	LFMN1 端子名	端子番号	信号名	I/O	LFMN1 端子名
1	-	-	N.C	2	-	-	N.C
3	-	-	N.C	4	-	-	N.C
5	-	-	N.C	6	-	-	N.C
7	-	-	N.C	8	A9	O	A9
9	-	-	N.C	10	-	-	N.C
11	nWECN5	O	nWR	12	nRES	O	nRST
13	IRQ0	I	nINT	14	VCC	O	VCC
15	nWT/nLB	-	nWAIT	16	+5V	P	+5V
17	-	-	N.C	18	A8	O	A7
19	A7	O	A7	20	A6	O	A5
21	A5	O	A5	22	A4	O	A3
23	A3	O	A3	24	A2	O	A2
CN6							
端子番号	信号名	I/O	LFMN1 端子名	端子番号	信号名	I/O	LFMN1 端子名
1	-	-	N.C	2	nBYTE	I	A0/nLDS
3	GND	P	Vss	4	D15	I/O	D15/N.C ^{*1}
5	D7	I/O	D7	6	D14	I/O	D14/N.C ^{*1}
7	D6	I/O	D6	8	D13	I/O	D13/N.C ^{*1}
9	D5	I/O	D5	10	D12	I/O	D12/N.C ^{*1}
11	D4	I/O	D4	12	VCC	P	VCC
13	D11	I/O	D11/N.C ^{*1}	14	D3	I/O	D3
15	D10	I/O	D10/N.C ^{*1}	16	D2	I/O	D2
17	D9	I/O	D9/N.C ^{*1}	18	D1	I/O	D1
19	D8	I/O	D8/N.C ^{*1}	20	D0	I/O	D0
21	nRD	O	nRD	22	GND	P	Vss
23	N.CS0	O	N.CE1	24	A1	O	A1

本表の仕様で使用する場合は、S1 bit4 が「OFF」である必要があります。

「LFMN1」を使用する場合 LFMN1 の P2(1) が CN5(1) に合う方向に装着する必要があります。

^{*1} D8 ~ D15 として使用する場合は HJ18 を短絡、HJ19 を開放、N.C(8bit) で使用する場合は HJ18 を開放、HJ19 を短絡に設定する必要があります。



表 26 LF64-F4MB (S29AL032DxxTFIxxx) 実装時の CN5 / CN6 ピンアサイン

CN5							
端子番号	信号名	I/O	S29AL032DxxTFIxxx 端子名	端子番号	信号名	I/O	S29AL032DxxTFIxxx 端子名
1	A16	O	A15	2	A15	O	A14
3	A14	O	A13	4	A13	O	A12
5	A12	O	A11	6	A11	O	A10
7	A10	O	A9	8	A9	O	A8
9	A20	O	A19	10	A21	O	A20
11	nWE	O	nWE	12	nRES	O	nRESET
13	NC	-	NC	14	VCC	O	nWP/ACC
15	NC	-	RY/nBY	16	A19	O	A18
17	A18	O	A17	18	A8	O	A7
19	A7	O	A6	20	A6	O	A5
21	A5	O	A4	22	A4	O	A3
23	A3	O	A2	24	A2	O	A1
CN6							
端子番号	信号名	I/O	S29AL032DxxTFIxxx 端子名	端子番号	信号名	I/O	S29AL032DxxTFIxxx 端子名
1	A17	O	A16	2	nBYTE	I	nBYTE
3	GND	P	Vss	4	D15	I/O	DQ15/A-1 ^{*1}
5	D7	I/O	DQ7	6	D14	I/O	DQ14/N.C ^{*1}
7	D6	I/O	DQ6	8	D13	I/O	DQ13/N.C ^{*1}
9	D5	I/O	DQ5	10	D12	I/O	DQ12/N.C ^{*1}
11	D4	I/O	DQ4	12	VCC	P	VCC
13	D11	I/O	DQ11/N.C ^{*1}	14	D3	I/O	DQ3
15	D10	I/O	DQ10/N.C ^{*1}	16	D2	I/O	DQ2
17	D9	I/O	DQ9/N.C ^{*1}	18	D1	I/O	DQ1
19	D8	I/O	DQ8/N.C ^{*1}	20	D0	I/O	DQ0
21	nRD	O	nOE	22	GND	P	Vss
23	nCS0	O	nCE	24	A1	O	A0

本表の仕様で使用する場合、S1 bit4 が「0N」である必要があります。

「LF64-F4MB」を使用する場合、**基板の 1 番 (印) が CN5(1) に合う方向に装着する必要がある**。

- *1 LF64-F4MB を 16bit で使用する場合 HJ18 を短絡、HJ19 を開放、HJ14 を短絡、HJ17 を開放、8bit で使用する場合 HJ18 を開放、HJ19 を短絡、HJ14 を開放、HJ17 を短絡に設定する必要があります。



表 27 LF64-S4MB(CY62167EV30LL)実装時の CN5 / CN6 ピンアサイン

CN5							
端子番号	信号名	I/O	CY62167EV30LL 端子名	端子番号	信号名	I/O	CY62167EV30LL 端子名
1	A16	O	A15	2	A15	O	A14
3	A14	O	A13	4	A13	O	A12
5	A12	O	A11	6	A11	O	A10
7	A10	O	A9	8	A9	O	A8
9	A20	O	A19	10	A21	O	A20
11	RD/nWR	O	nWE	12	nRES	O	CS2
13	NC	-	NC	14	nBHE	O	UB#
15	nBLE	O	LB#	16	A19	O	A18
17	A18	O	A17	18	A8	O	A7
19	A7	O	A6	20	A6	O	A5
21	A5	O	A4	22	A4	O	A3
23	A3	O	A2	24	A2	O	A1
CN6							
端子番号	信号名	I/O	CY62167EV30LL 端子名	端子番号	信号名	I/O	CY62167EV30LL 端子名
1	A17	O	A16	2	VCC	I	BYTE#
3	GND	P	GND	4	D15	I/O	DQ15/A-1
5	D7	I/O	DQ7	6	D14	I/O	DQ14
7	D6	I/O	DQ6	8	D13	I/O	DQ13
9	D5	I/O	DQ5	10	D12	I/O	DQ12
11	D4	I/O	DQ4	12	VCC	P	VCC
13	D11	I/O	DQ11	14	D3	I/O	DQ3
15	D10	I/O	DQ10	16	D2	I/O	DQ2
17	D9	I/O	DQ9	18	D1	I/O	DQ1
19	D8	I/O	DQ8	20	D0	I/O	DQ0
21	nRD	O	OE#	22	GND	P	GND
23	nCS0	O	CS1#	24	A1	O	A0

本表の仕様で使用する場合、S1 bit4 が「ON」である必要があります。

「LF64-S4MB」を使用する場合、**基板の1番(印)**がCN5(1)に合う方向に装着する必要があります。



7-4) CPLD JTAG 接続コネクタ(CN7)

CN7 は、LFCQ1 上の CPLD (EPM3128ATC100) の JTAG 端子に接続されており、CPLD のプログラム書込みに使用します。

端子配列は、アルテラ社製「バイトプラスタ」、「USB プラスタ」等のプログラマ JTAG 接続部と互換となっております。

表 28 JTAGコネクタ(CN7)

適合コネクタ: XG4C-1031 または同等品 (オムロン等)

ピン番号	信号名	I/O	信号レベル	機能
1	TCK	I	C-MOS3.3V	データ同期信号
2	GND	P	0V	シグナルグランド
3	TDO	O	C-MOS3.3V	シリアルデータ出力信号
4	VCC	P	+3.3VDC	電源
5	TMS	I	C-MOS3.3V	テストモード選択信号
6	NC	-	-	未接続
7	NC	-	-	未接続
8	NC	-	-	未接続
9	TDI	I	C-MOS3.3V	シリアルデータ入力信号
10	GND	P	0V	シグナルグランド

**7-5) LF-A1 接続コネクタ(CN8,CN9)**

CN5,CN6 は、表 25 に示す信号が接続されており、L&F 社 AX88796 搭載ユニバーサル LAN モジュール「LF-A1C」(別売)を実装可能です。

尚 コネクタを実装する場合、CN8 は 2.54mm ピッチ 2 列 22 ピン(11 ピン×2 列)、CN9 は 2.54mm ピッチ 2 列 14 ピン(7 ピン×2 列)の何れも実装穴径 1.0 以下のものとして下さい。

表 29 LF-A1 接続コネクタピンアサイン(CN8,CN9)

CN8							
端子番号	信号名	I/O	LF-A1 端子名	端子番号	信号名	I/O	LF-A1 端子名
1	nIOCS16	I	nIOCS16	2	nETCWR	O	nWR
3	nRD	O	nRD	4	nCS3	O	nCS
5	未接続	-	AEN	6	ET_A0	O	A0
7	ET_A3	O	A3	8	ET_A4	O	A4
9	D1	I/O	D1	10	D2	I/O	D2
11	D5	I/O	D5	12	D6	I/O	D6
13	D9	I/O	D9	14	D10	I/O	D10
15	D13	I/O	D13	16	D14	I/O	D14
17	VCC	P	VCC	18	33OUT	P	33OUT
19	GND	P	GND	20	GND	P	GND
21	+5V	P	+5V	22	+5V	P	+5V

CN9							
端子番号	信号名	I/O	LF-A1 端子名	端子番号	信号名	I/O	LF-A1 端子名
1	ET_A1	O	A1	2	ET_A2	O	A2
3	A11	O	A5	4	D0	I/O	D0
5	D3	I/O	D3	6	D4	I/O	D4
7	D7	I/O	D7	8	D8	I/O	D8
9	D11	I/O	D11	10	D12	I/O	D12
11	D15	I/O	D15	12	nIRQ1	I	nIRQ
13	-	-	PME	14	nRST	I/O	nRES



7-6) PC/104 BUS 基板接続コネクタ(CN10,CN11)

CN10,CN11 は、PC/104 16bit BUS ボードを実装するコネクタです。

7-6-1) CN10

CN10 には、PC/104 BUS 8bit、及び、16bit バス / 制御信号を配置しています。

Interface誌付録 CPU ボードが実装されている場合、LFCQ1 は PC/104 BUS マスタボードとなり、実装されていない場合は PC/104 BUS スレーブボードとなります。

表 30 PC / 104 BUS 接続コネクタ1 (CN10)

端子番号	信号名	I/O	機能	端子番号	信号名	I/O	機能
A1	nIOCHCK	-	未接続	B1	GND	P	シグナルグランド
A2	SD7	I/O	データ7	B2	RESDRV	O(I)	リセット
A3	SD6	I/O	データ6	B3	+5V	P	+5VDC
A4	SD5	I/O	データ5	B4	IRQ9	-	未接続
A5	SD4	I/O	データ4	B5	-5V	-	未接続
A6	SD3	I/O	データ3	B6	DREQ2	-	未接続
A7	SD2	I/O	データ2	B7	-12V	P	-12VDC
A8	SD1	I/O	データ1	B8	nENDXFR	-	未接続
A9	SD0	I/O	データ0	B9	+12V	P	+12VDC
A10	nIOCHRDY*1	I(O)	CPU ウェイトリクエスト	B10	(KEY)	-	-
A11	AEN	O(I)	アドレスイネーブル	B11	nSMEMW	O(I)	メモライト(1MB 領域)
A12	SA19	O(I)	アドレス 19	B12	nSMEMR	O(I)	メモリード(1MB 領域)
A13	SA18	O(I)	アドレス 18	B13	nIOW	O(I)	I/O ライト
A14	SA17	O(I)	アドレス 17	B14	nIOR	O(I)	I/O リード
A15	SA16	O(I)	アドレス 16	B15	nDACK3	-	未接続
A16	SA15	O(I)	アドレス 15	B16	DREQ3	-	未接続
A17	SA14	O(I)	アドレス 14	B17	nDACK1	-	未接続
A18	SA13	O(I)	アドレス 13	B18	DREQ1	-	未接続
A19	SA12	O(I)	アドレス 12	B19	nREFSH	-	未接続
A20	SA11	O(I)	アドレス 11	B20	SYSCLK	-	未接続
A21	SA10	O(I)	アドレス 10	B21	IRQ7	I(O)	割込信号 7
A22	SA9	O(I)	アドレス 9	B22	IRQ6	-	未接続
A23	SA8	O(I)	アドレス 8	B23	IRQ5	I(O)	割込信号 5
A24	SA7	O(I)	アドレス 7	B24	IRQ4	-	未接続
A25	SA6	O(I)	アドレス 6	B25	IRQ3	I(O)	割込信号 3
A26	SA5	O(I)	アドレス 5	B26	nDACK2	-	未接続
A27	SA4	O(I)	アドレス 4	B27	TC	-	未接続
A28	SA3	O(I)	アドレス 3	B28	BALE	O(I)	アドレスラッチイネーブル
A29	SA2	O(I)	アドレス 2	B29	+5V	P	+5VDC
A30	SA1	O(I)	アドレス 1	B30	OSC	-	未接続
A31	SA0	O(I)	アドレス 0	B31	GND	P	シグナルグランド
A32	GND	P	シグナルグランド	B32	GND	P	シグナルグランド

* I/O 欄の()は、Interface誌付録 CPU ボードが搭載されていない場合の方向を示します。

*1 出力時はオープンコレクタです。



表 31 PC/104 BUS接続コネクタ1信号別機能

信号名	機能説明
SD0~7	データ入出力バス下位バイトで、LFCQ1 の D0~7 とバスバッファ経由で接続されています。
SA0~19	PC/104 BUS アドレスの LSB 側 20ビットです。 SA1~19 は、LFCQ1 のアドレス A1~A19 がバスバッファ経由で接続されています。
nIOCHCK	本来は NMI(マスク不可割込み)信号ですが、LFCQ1 では未対応です。
nIOCHRDY	CPU ボードが実装されている場合、本信号を Low に駆動すると LFCQ1 の CPLD 経由で CPU ボードの nWAIT 信号がアサートされます。 また、CPU ボードが実装されておらず、CN5,6 に LFMN1 が実装されている場合は、LFCQ1 の CPLD 経由で LFMN1 の nWAIT 信号が出力されます。
AEN	AEN は本来 DMA サイクル中を示す信号ですが、CPU ボードが実装されている場合 LFCQ1 では、CPU ボードが PC/104 BUS 領域にアクセス時 Low を出力します。 また、CPU ボードが実装されていない場合は、LFCQ1 上各デバイスアドレス有効信号として機能します。
RESDRV	電源投入時、または、外部リセットリカにより、CPU ボードが実装されている場合は CPU ボードリセット信号を反転した信号を出力し、CPU ボードが実装されていない状態では、本信号が Hi の期間中 LFCQ1 は基板内のリセット信号に Low を出力します。
IRQ3,5,7	CPU ボードが実装されている場合、IRQ7 は PC/104 BUS から CPU ボードへの割込み要求信号で、IRQ7 をレベル反転させた信号が CPU ボードの nIRQ2(CN2(31))に出力されます。また、CPU ボードが実装されていない場合、LFCQ1 上 LFMN1 からの割込み信号が IRQ5、LF-A1 からの割込みが IRQ3 に出力されます。
nENDXFR	nENDXFR は本来スレーブからのノウェイトアクセス要求ですが、LFCQ1 では未対応です。
nSMEMW	nSMEMW は本来 PC/104 BUS アドレスが H'0FFFFFF 以下をアクセス時のメモリライト信号ですが、LFCQ1 では LFCQ1 上に CPU ボードが実装されている場合、CPU ボードが PC/104 8bit メモリに設定されている領域へのライトアクセス時に PC/104 BUS 側をアサートし、CPU ボードが実装されていない場合は、バイト指定ジャンパが 8bit アクセスに設定され、本信号がアサートされた場合に LFCQ1 上メモリデバイスのライト信号がアサートされます。
nSMEMR	nSMEMR は本来 PC/104 BUS アドレスが H'0FFFFFF 以下をアクセス時のメモリリード信号ですが、LFCQ1 では LFCQ1 上に CPU ボードが実装されている場合、CPU ボードが PC/104 8bit メモリに設定されている領域へのリードアクセス時に PC/104 BUS 側をアサートし、CPU ボードが実装されていない場合は、本信号がアサートされた場合に LFCQ1 上のリード信号がアサートされます。
nIOW	I/O ライト信号で、LFCQ1 では LFCQ1 上に CPU ボードが実装されている場合、CPU ボードが PC/104 I/O 領域に設定されている領域へのライトアクセス時に PC/104 BUS 側をアサートし、CPU ボードが実装されていない場合は、本信号がアサートされた場合に CPU ボード上の I/O ライト信号がアサートされます。
nIOR	I/O リード信号で、LFCQ1 では LFCQ1 上に CPU ボードが実装されている場合、CPU ボードが PC/104 I/O 領域に設定されている領域へのリードアクセス時に PC/104 BUS 側をアサートし、CPU ボードが実装されていない場合は、本信号がアサートされた場合に CPU ボード上のリード信号がアサートされます。
DREQ1~3	DREQ1~3 は本来スレーブボードからの DMA リクエスト信号ですが、LFCQ1 では未対応です。
nDACK1~3	nDACK1~3 は本来スレーブボードへの DMA アクリッジ信号ですが、LFCQ1 では未対応です。
TC	TC は本来 DMA コントローラが DMA リクエストに対して、最後の DMA サイクルを通知する信号ですが、LFCQ1 では未対応です。
nREFSH	nREFSH は本来 DRAM リフレッシュ信号ですが、LFCQ1 では未対応です。
SYSCLK	本来は、PC/104 バスクロックですが、LFCQ1 では未対応です。

(続く)



(続き)

信号名	機能説明
BALE	BALE は本来コマンドストロブの途中で消えてしまう LA17～23 をラッチするために使用します。CPU ボード実装時、LFCQ1 ではコマンドストロブの途中で LA17～23 が消えることはないのので特にアドレスをラッチする必要はありませんが、BALE でラッチする構成となっているスレーブボード用に、PC/104 アドレス出力時に立上りラッチ信号を出力しています。また、CPU ボード未実装時には CPLD 内にてトランスバレットラッチし、メモリアドレスとして使用しています。
OSC	OSC は本来 14.31818MHz クロック出力信号ですが、LFCQ1 では未対応です。
+5V	CN12 の電源 (+5VDC) 端子が接続されています。 (PC/104 BUS から LFCQ1 の電源を受給する場合は、CN12 に電源を接続しないで下さい。)
+12V	CN12 の電源 (+12VDC) 端子が接続されています。 (PC/104 BUS から LFCQ1 の電源を受給する場合は、CN12 に電源を接続しないで下さい。)
-12V	CN12 の電源 (-12VDC) が接続されています。 (PC/104 BUS から LFCQ1 の電源を受給する場合は、CN12 に電源を接続しないで下さい。)
-5V	LFCQ1 では未接続なので、スレーブボードでこの電源が必要な場合、PC/104 BUS 電源ボードを使用する必要があります。
GND	システムグランド (0V) です。
IRQ11	CPU ボードが実装されている場合、IRQ11 は PC/104 BUS から CPU ボードへの割り込み要求信号で、IRQ11 をレベル反転させた信号が CPU ボードの nIRQ3 (CN2(32)) に出力されます。

本表で記載されている CPU ボードとは、FRK-SH2A のことを指します。



7-6-2) CN11

CN11 には、PC/104 BUS 16bit バスノ制御信号を配置しています。

表 32 PC / 104 BUS接続コネクタ2 (CN11)

端子番号	信号名	I/O	機能	端子番号	信号名	I/O	機能
C0	GND	P	シグナルグランド	D0	GND	P	シグナルグランド
C1	nSBHE	O(I)	システムバス Hi Byte イネーブル	D1	nMEMCS16 ^{*1}	I(O)	16bit メモリスレーブ返信
C2	LA23	O(I)	アドレス 23	D2	nIOCS16 ^{*1}	I(O)	16bitI/O スレーブ返信
C3	LA22	O(I)	アドレス 22	D3	IRQ10	-	未接続
C4	LA21	O(I)	アドレス 21	D4	IRQ11	I(O)	割込信号 11
C5	LA20	O(I)	アドレス 20	D5	IRQ12	-	未接続
C6	LA19	O(I)	アドレス 19	D6	IRQ13	-	未接続
C7	LA18	O(I)	アドレス 18	D7	IRQ14	-	未接続
C8	LA17	O(I)	アドレス 17	D8	nDACK0	-	未接続
C9	nMEMR	O(I)	メモリーード	D9	DREQ0	-	未接続
C10	nMEMW	O(I)	メモリーライト	D10	nDACK5	-	未接続
C11	SD8	I/O	データ 8	D11	DREQ5	-	未接続
C12	SD9	I/O	データ 9	D12	nDACK6	-	未接続
C13	SD10	I/O	データ 10	D13	DREQ6	-	未接続
C14	SD11	I/O	データ 11	D14	nDACK7	-	未接続
C15	SD12	I/O	データ 12	D15	DREQ7	-	未接続
C16	SD13	I/O	データ 13	D16	+5V	P	+5VDC
C17	SD14	I/O	データ 14	D17	nMASTER	-	未接続
C18	SD15	I/O	データ 15	D18	GND	P	シグナルグランド
C19	(KEY)	-	-	D19	GND	P	シグナルグランド

* I/O 欄の()は、Interface誌付録 CPU ボードが搭載されていない場合の方向を示します。

*1 出力時はオープンコレクタです。



表 33 PC/104 BUS接続コネクタ2信号別機能

信号名	機能説明
SD8 ~ 15	データ入出力バス上位バイトで、LFCQ1 の D8 ~ 15 とバスバッファ経由で接続されています。
LA17 ~ 23	メモリ空間 24ビットアドレスの MSB 側 7ビットで、LFCQ1 の CPLD 経由で入出力されます。
nSBHE	CPU ボード実装時、LFCQ1 ではデータ入出力バス上位バイト有効時にアサートされ、CPU ボード未実装時は LFCQ1 のハイバイトイネーブル信号 (nBHE) がアサートされます。
nMEMW	CPU ボードが実装されている場合、CPU ボードが PC/104 メモリに設定されている領域へのライトアクセス時に PC/104 BUS 側をアサートし、CPU ボードが実装されていない場合は、本信号がアサートされた場合に LFCQ1 上メモリデバイスのライト信号がアサートされます。
nMEMR	CPU ボードが実装されている場合、CPU ボードが PC/104 メモリに設定されている領域へのリードアクセス時に PC/104 BUS 側をアサートし、CPU ボードが実装されていない場合は、本信号がアサートされた場合に LFCQ1 上リード信号がアサートされます。
nMEMCS16	nMEMCS16 は本来 16bit メモリスレーブボードが自身を選択された時に Low を出力する信号ですが、LFCQ1 では、CPU ボードが実装時未対応、CPU ボードが未実装時メモリバイト選択ジャンパ (HJ10) が短絡されていない状態であれば、PC/104 BUS 側より LFCQ1 上メモリをアクセスした時にアサートされます。
nIOCS16	nIOCS16 は本来 16bit I/O スレーブボードが自身を選択された時に Low を出力する信号ですが、LFCQ1 では、CPU ボードが実装時未対応、CPU ボードが未実装時 I/O バイト選択ジャンパ (HJ18) が短絡されている状態であれば、PC/104 BUS 側より LFCQ1 上 I/O をアクセスした時にアサートされます。 *1
DREQ0,5 ~ 7	DREQ0,5 ~ 7 は本来スレーブボードからの DMA リクエスト信号ですが、LFCQ1 では未対応です。
nDACK0,5 ~ 7	nDACK0,5 ~ 7 は本来スレーブボードへの DMA アクナリッジ信号ですが、LFCQ1 では未対応です。
nMASTER	nMASTER は本来バスマスタが nDACKn を受けた後にバス権の要求を行う信号ですが、LFCQ1 では未対応です。
+5V	CN12 に電源を接続する場合は、CN12 の電源 (+5VDC) が接続されます。(PC/104 BUS から LFCQ1 の電源を受給する場合は、CN8 に電源を接続しないで下さい。)
GND	システムグランド (0V) です。

本表で記載されている CPU ボードとは、FRK-SH2A のことを差します。

- *1 CPU ボード非実装、S1(bit4)が「ON」で、CN5, CN6 に「LF64-F4MB」、または、「LF64-S4MB」が実装されている時、PC/104 BUS よりのアクセスが H'000000-H'3FFFFFF である場合は、nMEMCS16 がアサートされます。



7-7) 電源接続コネクタ(CN12)

CN12 は、LFCQ1、及び、PC/104 BUS への電源供給が可能です。

尚 CN12 より電源を受給する場合、他の基板から PC/104 BUS に電源を供給しないで下さい。

表 34 電源接続コネクタ(CN12)

適合コネクタ:IL-G-5P-S3L2-SA(日本航空電子)

勘合ソケット:IL-G-5S-S3C2-SA + (IL-G-C2-SC × 5 個)(日本航空電子)

ピン番号	信号名	I/O	信号レベル	機能
1	+5V	P	+5VDC	PC/104 +5V,LFCQ1 メイン電源
2	GND	P	0V	シグナルグランド
3	+12V	P	+12VDC	PC/104 +12VDC
4	GND	P	0V	シグナルグランド
5	+12V	P	+12VDC	PC/104 -12VDC



8. 設定仕様

本項では、LFCQ1 上のスイッチ半田ジャンパの設定仕様につき記載します。

LFCQ1 のデフォルト設定は下表の通りです。

尚 S1、及び、HJ25,HJ26 は部品面、HJ1 ~ 24、HJ27,HJ28 は半田面に配置されています。

表 35 FRK-SH2A メモリマップ 1 時の SW / ジャンパ設定仕様

S1				HJ1 ~ HJ28	
bit1	bit2	bit3	bit4	短絡	開放
OFF	OFF	OFF	ON	1,2,3,4,8,9,12,13,14,18,21,23,25,28	5,6,7,10,11,15,16,17,19,20,22,24,26,27

8-1) ディップスイッチ(S1)

S1 は CPLD に接続されており、設定により下表に示す動作をします。

表 36 S1 の設定仕様

S1 bit	設定項目	状態	
		ON	OFF
1	PC/104 スレーブ種類 ^{*1}	I/O スレーブとして動作	メモリスレーブとして動作
2	LF64-F4MB の動作 ^{*2}	ブートバースとする	ブートバースとしない
3	SRAM の種類	32Mbit 品(R1LV3216)	16Mbit 品(CY62167)
4	CN5,6 実装基板	LF64-F4MB/S4MB(32Mbit メモリ基板)	LFMN1(イーサネット基板)

^{*1} LFCQ1 に CPU 基板が実装されていない場合のみ有効です。

^{*2} LFCQ1 に CPU 基板が実装されており、CS0 空間からプログラムをブートできる環境である場合のみ有効です。

8-2) CPU ボード信号選択半田ジャンパ(HJ1 ~ HJ9)

HJ1 ~ HJ9 は CN1,CN2 に実装される各 CPU ボードにより異なるピンアサインを接続する CPU ボード基板に合わせるための半田ジャンパです。

各ジャンパの接続仕様を表 37 に、各基板毎の推奨設定を表 39 に示します。

表 37 HJ1 ~ 9 の設定仕様

HJ No.	CN1,2 接続先	状態		短絡設定時の注意事項
		開放時	短絡時	
1	CN2(9)	未接続状態	GND に接続	ポート出力設定禁止
2	CN2(10)	未接続状態	GND に接続	ポート出力設定禁止
3	CN2(36)	未接続状態	CPLD(25)に接続	HJ4,HJ7 短絡禁止、CQ7144 短絡禁止
4	CN1(22)	未接続状態	GND に接続	HJ3,HJ7 短絡禁止
5	CN1(39)	未接続状態	GND に接続	ポート出力設定禁止
6	CN1(40)	未接続状態	GND に接続	ポート出力設定禁止
7	CN1(22)	未接続状態	CPLD(25)に接続	HJ3,HJ4 短絡禁止
8	CN1(39)	未接続状態	CPLD(20)に接続	HJ5 短絡禁止
9	CN1(40)	未接続状態	CPLD(22)に接続	HJ6 短絡禁止



8-3) プルアップ/プルダウン信号選択半田ジャンパ(HJ23～HJ28)

HJ23～HJ28 は CN1,CN2 に実装される各 CPU ボードにより異なる信号の初期状態 (Low か Hi) を各 CPU ボードに合わせるための半田ジャンパです。

各ジャンパの接続仕様を表 38 に、各基板毎の推奨設定を表 39 に示します。

表 38 HJ23～28 の設定仕様

HJ No.	CN1,2 接続先	状態		備考
		プルアップ	プルダウン	
23/24	CN1(39)	HJ23 短絡,HJ24 開放	HJ24 短絡,HJ23 開放	
25/26	CN1(21)	HJ25 短絡,HJ26 開放	HJ26 短絡,HJ25 開放	
27/28	CN2(34)	HJ27 短絡,HJ28 開放	HJ28 短絡,HJ27 開放	

表 39 過去Interface誌付録 CPU ボードの HJ1～9、HJ23～28 推奨(参考)設定

HJ No.	Interface	Interface	Interface	Interface	Interface
	2006年6月号	2007年5月号	2008年5月号	2010年6月号	2012年6月号
	SH2	V850ES	FR60	SH2A	FM3
	HD64F7144F50V	uPD70F3716GC	MB91FV310A	R5S72620W144FPU	MB9BF618T
	CQ7144	CQ-V850	CQ-FRK-FR60	FRK-SH2A	FRK-FM3
1	開放	開放	短絡	短絡	短絡
2	開放	開放	短絡	短絡	短絡
3	開放	開放	任意	短絡	短絡
4	開放	開放	開放	短絡	短絡
5	開放	開放	短絡	開放	開放
6	開放	開放	短絡	開放	開放
7	短絡	任意	任意	開放	開放
8	短絡	短絡	開放	短絡	短絡
9	短絡	短絡	開放	短絡	短絡
23	短絡	開放	開放	短絡	短絡
24	開放	短絡	開放	開放	開放
25	開放	短絡	短絡	短絡	短絡
26	短絡	開放	開放	開放	開放
27	短絡	短絡	短絡	* 1	* 3
28	開放	開放	開放	* 2	* 4

ピンクの欄が今バージョンの対象 CPU ボードです。

ピンクの欄以外のボードをご使用の場合は、CPLD のプログラム変更が必要です。

- * 1 CS4 として使用する場合は短絡、A22 として使用する場合は開放として下さい。
- * 2 CS4 として使用する場合は開放、A22 として使用する場合は短絡として下さい。
- * 3 MCSX3.0 として使用する場合は短絡、MAD22 として使用する場合は開放として下さい。
- * 4 MCSX3.0 として使用する場合は開放、MAD22 として使用する場合は短絡として下さい。
上記 * 3、* 4 で MAD22 として使用する場合は、FRK-FM3 基板の JP27 をカット、JP26 を半田で短絡する必要があります。



8-4) SRAM アクセス領域バス幅設定半田ジャンパ(HJ10)

HJ10 は SRAM の nBYTE 端子と CPLD(6) (プルアップされています) <-> GND 間に設けられており、CPLD は CPLD(6) 端子の状態 で SRAM 領域のデータバスアクセス幅に関する信号を生成します。

尚 バス幅が 16bit の CPU ボードはソフトウェアで当該領域の CPU BUS アクセス幅を HJ10 の設定に合わせておく必要があります。

また、バス幅が 8bit の CPU ボードは HJ10 を短絡する必要があります。

設定状態による SRAM 関連端子の状態を下表に示します。

表 40 SRAM 領域バス幅設定(HJ10)

設定状態	設定内容	設定時 SRAM 端子の状態
開放	16bit アクセス	D15 は CPU の D15 に接続、nBYTE 端子は Hi レベル
短絡	8bit アクセス	D15 は CPU の A0 に接続、nBYTE 端子は Low レベル



8-5) CN5,6,CN8,9 領域設定半田ジャンパ(HJ12~HJ21)

HJ12~HJ21 は CN5,6 に接続される基板種類 / バス幅、CN8,9 のバス幅を設定します。

表 41 HJ12~HJ21 の設定仕様

項目	短絡箇所	短絡時の設定内容	説明
1	HJ12	CN5(15)はnBLE 端子	1.CN5,6 に LF64-S4MB を実装時に CPLD より入力*1 2..CN5,6 が LF64-F4MB ,LFMN1 実装時には設定禁止 3.CN8,9 の LF-A1 には無関係
	HJ15	CN5(15)はnWAIT 端子	1.CN5,6 に LF64-F4MB ,LF64-S4MB を実装時には設定禁止 2.CN5,6 に LFMN1 実装時に CPLD へ出力 3.CN8,9 の LF-A1 には無関係
2	HJ16	CN5(14)は電源端子	1. CN5,6 に LF64-S4MB を実装時は設定禁止 2.CN5,6 に LF64-F4MB 実装時は nWP, LFMN1 実装時は電源(+3.3VDC) 3.CN8,9 の LF-A1 には無関係
	HJ13	CN5(14)はnBHE 端子	1.CN5,6 に LF64-S4MB を実装時に CPLD より入力*1 2..CN5,6 が LF64-F4MB ,LFMN1 実装時は設定禁止 3.CN8,9 の LF-A1 には無関係
3	HJ17	CN6(4)は A0 端子	1.CN5,6 に LF64-S4MB/ LF64-F4MB 実装、8bit アクセス時 2.CN5,6 が LFMN1 8bit 設定で実装時 3.CN8,9 の LF-A1 には無関係
	HJ14	CN6(4)は D15 端子	1.CN5,6 が LF64-S4MB/ LF64-F4MB 実装、16bit アクセス時 2.CN5,6 が LFMN1 時は無関係 3.CN8,9 の LF-A1 には無関係
4	HJ19	1.CN6(2)は GND 2.LF-A1 の A0-4 には CPU の A0-4 を接続	1.CN5,6 が LF64-S4MB/ LF64-F4MB 実装、8bit アクセス時 2.CN5,6 が LFMN1 時は無関係 3.CN8,9 が 8bit アクセス選択時
	HJ18	1.CN6(2)は VCC 2.LF-A1 の A0-4 には CPU の A1-5 を接続	1.CN5,6 が LF64-S4MB/ LF64-F4MB 実装、16bit アクセス選択時 2.CN5,6 が LFMN1 時は無関係 3.CN8,9 が 16bit アクセス選択時
5	HJ20	CN5(16)には+5V を接続	1.CN5,6 が LF64-S4MB/ LF64-F4MB 実装時短絡禁止 2.CN5,6 が LFMN1 時は短絡 3.CN8,9 の LF-A1 には無関係
	HJ21	CN5(16)には CPU の A19 を接続	1.CN5,6 が LF64-S4MB/ LF64-F4MB 実装時短絡 2.CN5,6 が LFMN1 時は開放 3.CN8,9 の LF-A1 には無関係

項目 4 は必ずどちらかを短絡して下さい。

各項目内のジャンパを両方短絡しないで下さい。

8-6) 設定部の配置

下写真の赤破線部に設定部が配置されています。

写真 1 部品面設定部

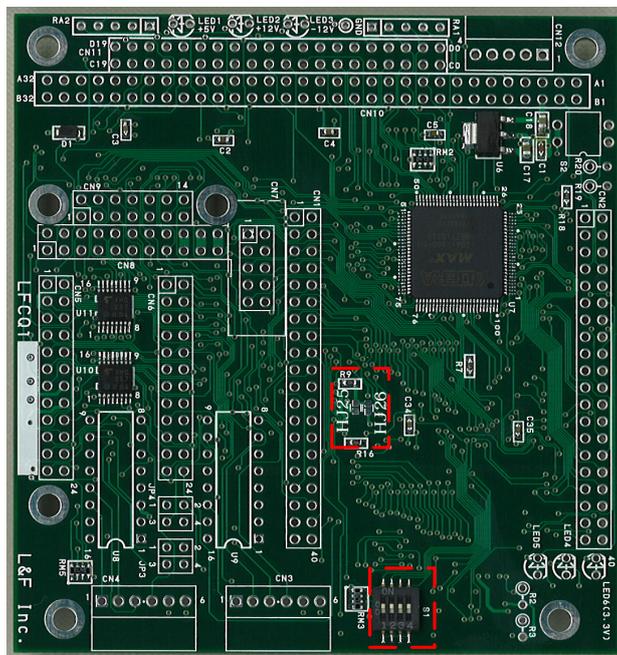
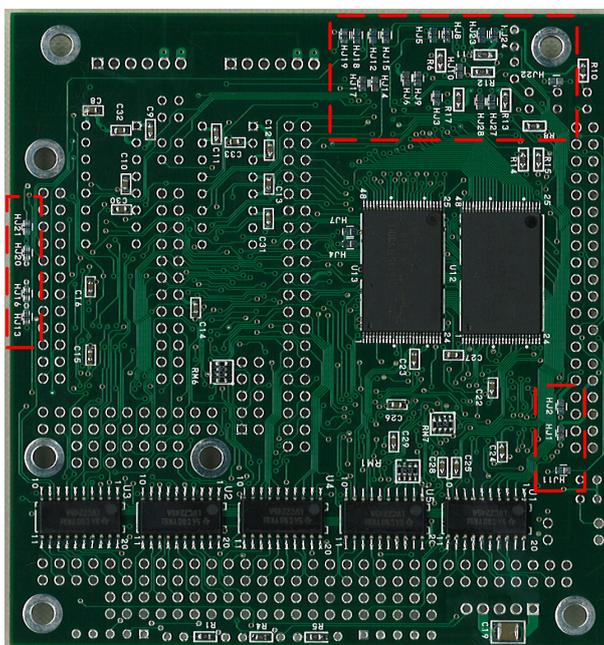


写真 2 半田面設定部





10. オーダー情報

LFCQ1 は用途により、以下の表より出荷時の実装仕様をご選定いただけます。

型式:LFCQ1- - -

項目番号

表 42 LFCQ1オーダー仕様

項目番号	オプション名	オプション番号	内 容
-	LFCQ1 基本構成	-	LFCQ1 基本構成
	コネクタオプション	1	全コネクタ(CN1/2,CN5 ~ 12(2P))を実装
		2	全コネクタ(CN1/2,CN5 ~ 12(5P))を実装
		3	全コネクタ(CN1/2,CN5 ~ 12(2P))部品を添付
		4	全コネクタ(CN1/2,CN5 ~ 12(5P))部品を添付
	RS232C オプション	1	シリアル 1(U9,CN3)を実装
		2	シリアル 2(U8,CN4)を実装
		3	シリアル 1/2(U9,CN3,U8,CN4)を実装
		4	シリアル 1(U9,CN3)部品を添付
		5	シリアル 2(U8,CN4)部品を添付
		6	シリアル 1/2(U9,CN3,U8,CN4)部品を添付
	付属 I/O オプション	1	全 LED(LED1 ~ 6)を実装
		2	DIPSW(S2)を実装
		3	全 LED と DIPSW を実装
		4	全 LED(LED1 ~ 6)部品を添付
		5	DIPSW(S2)部品を添付
		6	全 LED と DIPSW 部品を添付



本文書に記載した内容は、慎重に製作致しましたが、万一、ご不審点、誤り等お気づきの点がございましたらご連絡いただきたくお願い致します。

本書に記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

本取扱い説明書の閲覧には、Adobe 社の AcrobatReader が必要です。

製品に関するお問合せは、回答の正確性を維持する意味において下記 e-mail、または、FAX でのみ受け付けております。

電話にてのお問合せは受け付けておりませんのでご了承下さい。

株式会社 エル・アンド・エフ

Logic And Firm inc.

〒175-0083 東京都板橋区徳丸 4-2-9

TEL 03-5398-1116 / FAX 03-5398-1181

E-mail l-and-f@l-and-f.co.jp(代表)